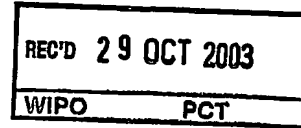


BUNDESREPUBLIK DEUTSCHLAND

(#2)



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 45 153.2

Anmeldetag: 27. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Integrierter Feldeffekttransistor mit zwei Steuerbereichen, Verwendung dieses Feldeffekttransistors und Herstellungsverfahren

IPC: H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

A 9161
02/00
EDV-L

Best Available Copy

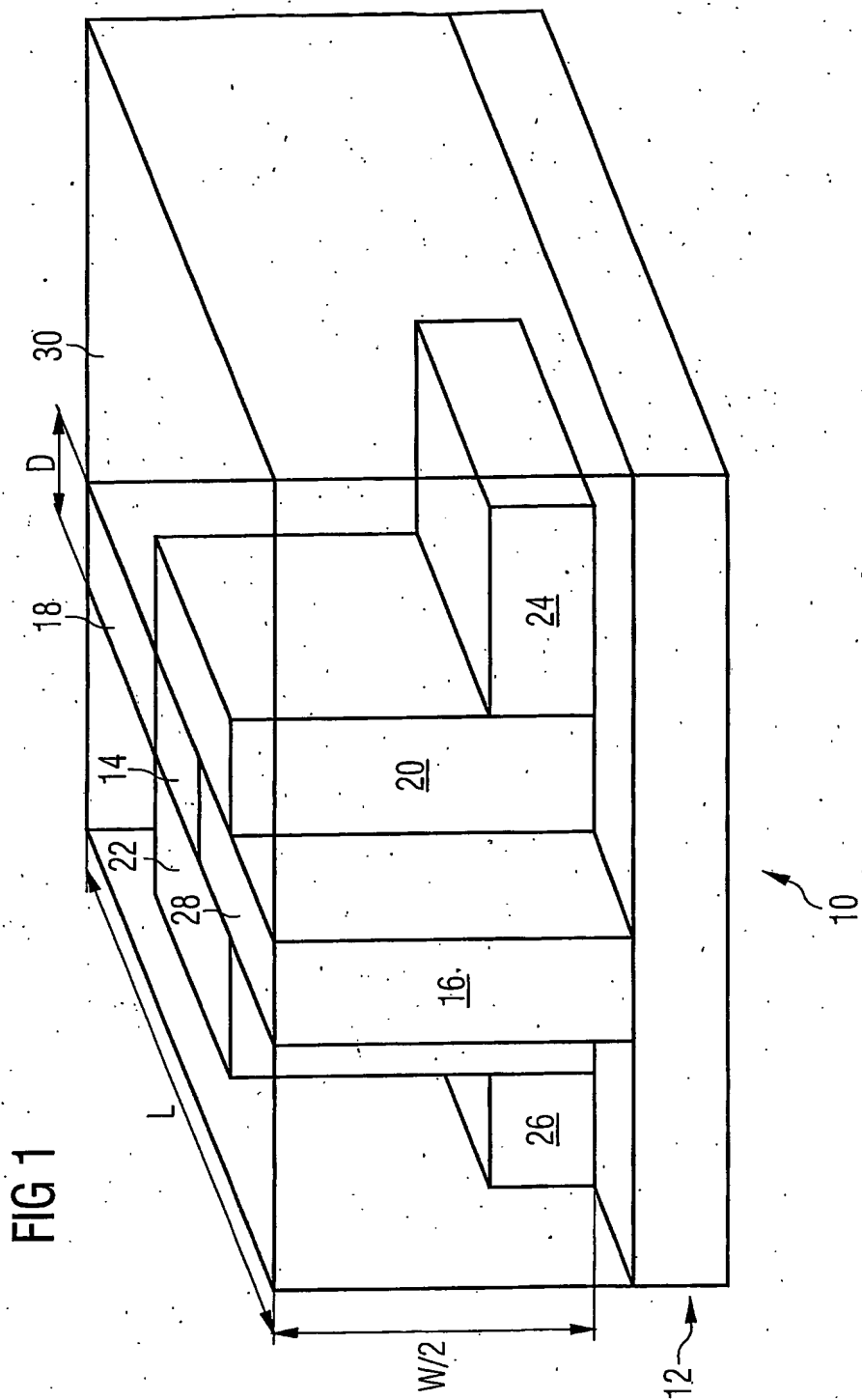


Zusammenfassung

Integrierter Feldeffekttransistor mit zwei Steuerbereichen,
Verwendung dieses Feldeffekttransistors und Herstellungsver-
fahren

- 5 Erläutert wird unter anderem ein Feldeffekttransistor (10),
der unter Verwendung der SOI-Technik und der Salicidtechnik
als sogenannter Double-Gate-Transistor (10) hergestellt wird.
10 Der Transistor (10) ist für Schaltspannungen größer als fünf
Volt oder sogar größer als neun Volt geeignet und benötigt
nur eine sehr kleine Chipfläche.

(Figur 1)



Beschreibung

Integrierter Feldeffekttransistor mit zwei Steuerbereichen,
Verwendung dieses Feldeffekttransistors und Herstellungsver-
fahren

Die Erfindung betrifft einen integrierten Feldeffekttransis-
tor mit einem Substratbereich, mindestens zwei dotierten
Anschlussbereichen und einem Steuerbereich. Die Anschlussbe-
reiche werden üblicherweise als Source und als Drain bezeich-
net. Der Steuerbereich wird auch als Gate bezeichnet.

Es ist Aufgabe der Erfindung, einen einfach aufgebauten Feld-
effekttransistor anzugeben, der einen kleinen Flächenbedarf
hat, für Schaltspannungen mit einem Betrag größer als fünf
Volt oder größer als neun Volt geeignet ist und der hervorra-
gende Kurzkanaleigenschaften hat, insbesondere einen hohen
Drain-Strom und eine gute Sperreigenschaft. Außerdem sollen
eine Verwendung für diesen Transistor und ein einfaches Ver-
fahren zur Herstellung dieses Transistors angegeben werden.

Die auf den Transistor bezogene Aufgabe wird durch einen
Feldeffekttransistor mit den im Patentanspruch 1 angegebenen
Merkmalen gelöst. Weiterbildungen sind in den Unteransprüchen
angegeben.

Der erfindungsgemäße Feldeffekttransistor enthält einen meist
dotierten Substratbereich, der, bspw. vollständig oder zu
mindestens fünfundsiebzig Prozent, von den folgenden Berei-
chen umgeben ist:

- zwei dotierten Anschlussbereichen,
- zwei elektrisch isolierenden Steuerbereich-
Isolierschichten,
- und mindestens einem elektrisch isolierenden Bereich,
dessen Dicke bei einer Ausgestaltung mindestens das dop-
pelte oder mindestens das zehnfache der Isolierdicke ei-
ner Steuerbereich-Isolierschicht beträgt.

Außerdem enthält der erfindungsgemäße Feldeffekttransistor einen elektrisch leitfähigen Verbindungsbereich zwischen dem einem Anschlussbereich und dem Substratbereich oder zwischen
5 dem einem Anschlussbereich und einem zum Substratbereich führenden Bereich des gleichen Leitungstyps wie der Substratbereich.

Das Verwenden zweier Steuerbereiche führt zu einem kleinen
10 Flächenbedarf und zu hervorragenden Kurzkanaleigenschaften. Das Umgeben des Steuerbereiches mit mindestens einem elektrisch isolierenden Bereich dient der Trennung des Substratbereiches von einem Hauptsubstrat einer integrierten Schaltungsanordnung, die den integrierten Feldeffekttransistor
15 enthält. Durch die elektrisch leitfähige Verbindung zwischen dem Anschlussbereich und dem Substratbereich lässt sich das vom Hauptsubstrat getrennte Substrat ohne zusätzlichen Flächenbedarf für einen Substratanschluss so anschließen, dass störende Ladungsträger aus dem Substrat des Feldeffekttransistors
20 effizient entfernt werden.

Das Verwenden eines durch mindestens einen Isolierbereich isolierten Substrates und der Anschluss des Substrates an den einen Anschlussbereich ermöglichen es, parasitäre Bipolareffekte ohne zusätzlichen Flächenbedarf für Anschlüsse des Substrates zu unterdrücken, so dass u.a. Schaltspannungen mit einem Betrag größer als fünf Volt oder größer als neun Volt geschaltet werden können. Beispielsweise werden der Substratbereich und der Source-Anschlussbereich auf gleichem Potential
30 gehalten, wobei ein gemeinsamer Anschluss verwendet wird. Bei einer Ausgestaltung wird die Schottkybarriere zwischen dem Silizid und dem Substrat möglichst klein gehalten.

Bei einer Weiterbildung des erfindungsgemäßen Feldeffekttransistors enthält der leitfähige Verbindungsbereich ein Silizid
35 oder besteht aus einem Silizid. Bei Ausgestaltungen werden Refraktärmetallsilizide oder Silizide mit Seltenerdmetallen

eingesetzt. Die Verwendung von Siliziden bietet die Möglichkeit, den leitfähigen Verbindungsbereich mit Hilfe der sogenannten Salicid-Technik herzustellen (Self aligned Silicide). Bei dieser Technik wird das Silizid selektiv auf Silizium- oder Polysiliziumoberflächen erzeugt, nicht jedoch auf Siliziumdioxidoberflächen oder Oberflächen aus einem anderen Material. Durch diese Maßnahme muss beim Herstellen des leitfähigen Verbindungsbereiches kein zusätzliches Lithografieverfahren ausgeführt werden. Es lässt sich aber auch ein Lithografieverfahren ausführen, bei dem eine Maske erzeugt wird, die beispielsweise nur rechteckförmige Bereiche enthält. Die silizierten Bereiche haben auf Grund der Selektivität beim Salicide-Verfahren jedoch Strukturen, die von der Rechteckform abweichen. Als Silizid wird beispielsweise Kobaltsilizid, Platinsilizid, Erdiumsilizid oder Nickelsilizid verwendet.

Werden andere Halbleitermaterialien an Stelle von Silizium verwendet, z.B. Germanium, so werden dem Salicide-Verfahren ähnliche Verfahren genutzt, um selektiv Metall-Halbleiter-Verbindungen zu bilden.

Bei anderen Weiterbildungen wird ein leitfähiger Verbindungsbereich aus einkristallinem Silizium, aus polykristallinem Silizium oder aus einem Metall verwendet.

Bei einer nächsten Weiterbildung haben die einzelnen Elemente des Feldeffekttransistors Abmessungen und/oder Strukturen, die das Schalten von Spannungen größer als fünf Volt oder sogar größer als neun Volt oder größer fünfzehn Volt, jedoch vorzugsweise kleiner als dreißig Volt, zulassen:

- Isolierschichten zum Isolieren der Steuerbereiche vom Substratbereich haben eine Isolierschichtdicke von mindestens fünfzehn Nanometern oder von mindestens zwanzig Nanometern;
- der Abstand zwischen den Anschlussbereichen beträgt mindestens 0,3 Mikrometer oder mindestens 0,4 Mikrometer,

- die Anschlussbereiche haben im Vergleich zu den Dotierprofilen planarer Feldeffekttransistoren einen flachen Dotierprofilgradienten von beispielsweise etwa zweihundert Nanometern pro Dekade.

5

Die genannten Maßnahmen führen einzeln und insbesondere in Summe dazu, dass Spannungen mit einem Betrag größer als fünf Volt oder sogar größer als neun Volt geschaltet werden können.

10

Bei einer nächsten Weiterbildung ist ein Isolierbereich des Feldeffekttransistors Bestandteil einer Isolierschicht, die eine Vielzahl von Feldeffekttransistoren trägt. Die Isolierschicht besteht bei einer Ausgestaltung aus Siliziumdioxid.

15

Wird als Substratmaterial Silizium verwendet, so wird die Herstellungstechnik auch als SOI-Technik (Silicon On Insulator) bezeichnet.

20

Bei einer anderen Weiterbildung ist der Substratbereich einkristallin und gemäß einem Leitungstyp dotiert. Die Anschlussbereiche sind ebenfalls einkristallin, jedoch gemäß einem anderen Leitungstyp dotiert. Der Substratbereich ist homogen oder inhomogen dotiert.

25

Bei einer nächsten Weiterbildung des Feldeffekttransistors sind die Steuerbereiche elektrisch leitfähig miteinander verbunden, so dass ein sogenannter Double-Gate-Transistor entsteht, der hervorragende Kurzkanaleigenschaften hat.

30

Bei einer nächsten Weiterbildung des Feldeffekttransistors hat der Substratbereich sechs Seitenflächen, die quaderförmig oder pyramidenstumpfförmig zueinander angeordnet sind. Die Anschlussbereiche, die Isolierschichten zu den Steuerbereichen und die Isolierbereiche liegen jeweils an gegenüberliegenden Seiten des Substratbereiches.

35

Eine Ebene, welche die Anschlussbereiche und die Steuerbereiche enthält, liegt bei einer Ausgestaltung parallel zum Trägersubstrat. Beidseitig von dieser Ebene liegen die Isolierbereiche. In diesem Fall ist ein Isolierbereich Bestandteile
5 eines SOI-Substrates.

Wird dagegen die Ebene, in der die Anschlussbereiche und die Steuerbereiche liegen, quer, z.B. im Winkel von neunzig Grad, zu einer Trägersubstratebene angeordnet, so wird zur Herstellung der Isolierbereiche beispielsweise eine Feldoxidtechnik oder eine STI-Technik eingesetzt (Shallow Trench Isolation).
10 Auf Grund der verschiedenen Anordnungen der Ebene, in der die Anschlussbereiche und die Steuerbereiche liegen, entstehen Feldeffekttransistoren, deren Kanal quer (vertikal) zum Trägersubstrat oder parallel (horizontal) zum Trägersubstrat
15 liegt.

Die Erfindung betrifft außerdem die Verwendung des erfindungsgemäßen Feldeffekttransistors oder einer seiner Weiterbildungen zum Schalten von Spannungen mit einem Betrag größer
20 als fünf Volt oder sogar größer als neun Volt oder größer als fünfzehn Volt, vorzugsweise jedoch kleiner dreißig Volt, insbesondere als Ansteuertransistor an einer Wortleitung oder einer Bitleitung eines Speicherzellenfeldes. Das Speicherzellenfeld ist bei einer Ausgestaltung ein sogenannter Flash-Speicher oder ein EEPROM-Speicher (Electrical Erasable Programmable Read Only Memory). Bei Flash-Speichern lassen sich
25 nur einzelne Speicherbereiche selektiv löschen, nicht dagegen einzelne Speicherzellen oder einzelne Speicherworte.

30 Der die Verwendung des Feldeffekttransistors betreffende Aspekt der Erfindung geht von der Überlegung aus, dass von der bisher eingeschlagenen Richtung bei der Herstellung von Ansteuertransistoren für Speicherzellenfelder aus mehreren
35 Gründen abgewichen werden sollte, um kleinere Speicherbausteine herstellen zu können:

- planare Feldeffekttransistoren zum Schalten von Schaltspannungen mit Beträgen größer als fünf Volt oder sogar größer als neun Volt lassen sich auf Grund physikalischer Grenzen nicht mehr verkleinern,
- 5 - selbst beim Verwenden der sogenannten split-voltage-Technik sind Programmierspannungen zu schalten, die betragsmäßig größer als fünf Volt oder sogar größer als neun Volt sind,
- eine Verringerung der Beträge der zu schaltenden Spannungen wäre mit einer Verringerung der Tunneloxiddicke verbunden. Die Verringerung dieser Dicke führt jedoch zu Zuverlässigkeitsproblemen, so dass dieser Weg mit vielen Schwierigkeiten verbunden ist.
- 10
- 15 Deshalb wird bei der erfindungsgemäßen Verwendung zur Ansteuerung des Speicherzellenfeldes ein Feldeffekttransistor eingesetzt, der den oben genannten Aufbau hat und deshalb auch die oben genannten Wirkungen zeigt, insbesondere das Schalten von Spannungen mit Beträgen größer als fünf Volt oder sogar
- 20 größer als neun Volt ermöglicht, einen kleinen Flächenbedarf hat, hervorragende Kurzkanaleigenschaften besitzt und einfach herzustellen ist.
- Die Erfindung betrifft außerdem ein Verfahren zum Herstellen eines Feldeffekttransistors, insbesondere zum Herstellen des erfindungsgemäßen Feldeffekttransistors oder einer seiner Weiterbildungen. Beim erfindungsgemäßen Verfahren werden ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt:
- 30 - Bildung eines Substratbereiches,
- Bildung zweier dotierter Anschlussbereiche am Substratbereich,
- Bildung zweier einander gegenüberliegender Isolierschichten zu zwei Steuerbereichen, und
- 35 - Bildung eines elektrisch leitfähigen Verbindungsbereiches zwischen dem einem Anschlussbereich und dem Substratbereich oder zwischen dem einem Anschlussbereich und einem

zum Substratbereich führenden Bereich des gleichen Leitungstyps wie der Substratbereich.

Auf Grund dieser Verfahrensweise gelten für das Verfahren die oben genannten technischen Wirkungen ebenfalls. Das Verfahren ist bei einer Weiterbildung besonders einfach, wenn der Verbindungsbereich mit einem Verfahren zum selektiven Aufbringen von Silizid hergestellt wird.

Im Folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

Figur 1 einen integrierten Feldeffekttransistor mit zwei Steuerbereichen,

Figur 2 eine Draufsicht auf den Feldeffekttransistor,

Figur 3 eine Schnittdarstellung des Feldeffekttransistors in einer quer zur Kanalrichtung liegenden und einen Substratbereich enthaltenden Schnittebene,

Figur 4 eine Schnittdarstellung des Feldeffekttransistors in einer quer zur Kanalrichtung liegenden und einen Sourcebereich enthaltenden Schnittebene,

Figur 5 eine Schnittdarstellung des Feldeffekttransistors in einer längs zur Kanalrichtung liegenden und den Substratbereich enthaltenden Schnittebene,

Figur 6 eine Schnittdarstellung des Feldeffekttransistors in einer längs zur Kanalrichtung liegenden und einen Steuerbereich enthaltenden Schnittebene,

Figuren 7A bis 12B

Herstellungsstufen bei der Herstellung des Feldeffekttransistors,

Figur 13 ein Ausführungsbeispiel des Feldeffekttransistors mit abschnittsweise dotiertem Verbindungsbereich,

Figur 14 eine Darstellung des Feldverlaufs im Substratbereich des Feldeffekttransistors,

Figur 15 ein Ausführungsbeispiel mit zwei parallel geschalteten Feldeffekttransistoren und selbstjustierenden Kontaktlöchern,

Figur 16 ein Ausführungsbeispiel mit drei parallel geschalteten Feldeffekttransistoren und einer polykristallinen Verbindungsleitung, und

Figur 17 die Verwendung des Feldeffekttransistors in einer Ansteuerschaltung für ein Speicherzellenfeld in einem EEPROM.

Figur 1 zeigt einen integrierten Feldeffekttransistor 10, der sich auf einer Isolierschicht 12 befindet. Die Isolierschicht 12 besteht beispielsweise aus Siliziumdioxid und ist Bestandteil eines Hauptsubstrates, das eine Vielzahl von integrierten Feldeffekttransistoren 10 in einer integrierten Schaltung trägt.

Der Feldeffekttransistor 10 enthält einen quaderförmigen Substratbereich 14, der im Ausführungsbeispiel p-dotiert ist. Bei einem anderen Ausführungsbeispiel ist der Substratbereich 14 n-dotiert, so dass ein p-Kanal-Anreicherungstransistor entsteht.

Der quaderförmige Substratbereich 14 hat eine Höhe, die etwa der halben Kanalweite W des Feldeffekttransistors 10 entspricht. Eine Länge L des quaderförmigen Substratbereiches 14 entspricht einer Kanallänge. Der quaderförmige Substratbereich 14 hat eine Dicke D , die etwa einem Drittel der Länge L entspricht.

An den langen Schmalseiten des quaderförmigen Substratbereiches 14 sind ein Sourcebereich 16 und ein Drainbereich 18 angeordnet, die beide n-dotiert sind. An den einander gegenüberliegenden breiten Seitenflächen des Substratbereiches 14 befinden sich Gatebereiche 20 und 22, die aus dotiertem Polysilizium bestehen und vom Substratbereich 14 durch eine in Figur 1 nicht dargestellte Gateoxidschicht mit einer Dicke von beispielsweise fünfzehn Nanometern getrennt sind. An den Gatebereich 20 bzw. 22 schließt sich ein Polybereich 24 bzw. 26 aus ebenfalls dotiertem polykristallinen Silizium an.

Die kurzen Schmalseiten des Substratbereiches 14 grenzen im Fall der Bodenfläche des quaderförmigen Substratbereiches 14 an die Isolierschicht 12 und im Fall der Deckfläche des Substratbereiches 14 an eine nicht dargestellte Isolierschicht an. Ein Teil der Deckfläche wird von einem Verbindungsbereich 28 bedeckt, der sich weiter über die Deckfläche des Sourcebereiches 16 erstreckt und damit eine elektrisch leitfähige Verbindung zwischen dem Substratbereich 14 und dem Sourcebereich 16 herstellt. Der Verbindungsbereich 28 besteht aus einem Silizid.

Somit ist der Substratbereich 14 vollständig durch den Sourcebereich 16, den Drainbereich 18, den Gatebereich 20, den Gatebereich 22, die Isolierschicht 12 und die nicht dargestellte obere isolierende Schicht sowie durch einen Teil des Verbindungsbereiches 28 umschlossen. Der Feldeffekttransistor 10 wird durch ein Fülloxid 30 eingeschlossen, beispielsweise durch Siliziumdioxid.

Figur 2 zeigt eine Draufsicht auf den Feldeffekttransistor 10. Neben den bereits an Hand der Figur 1 erläuterten Bereichen ist eine Metallleitbahn 50 dargestellt, deren Längsachse sich im rechten Winkel zu einer durch einen Richtungspfeil 52 dargestellten Kanalrichtung erstreckt. Von der Metallleitbahn 50 führen sich durch das Fülloxid 30 erstreckende Verbin-

dungsabschnitte 54 bzw. 56 zu den Polybereichen 24 bzw. 26. Das Fülloxid 30 ist in Figur 2 aus Gründen der besseren Übersichtlichkeit nicht dargestellt.

5 In Figur 2 sind außerdem die Lagen von Schnittebenen III, IV, I und II dargestellt, deren zugehörige Schnittdarstellungen unten an Hand der Figuren 3, 4, 5 und 6 näher erläutert werden. In Figur 2 ist weiterhin ein rechteckförmiges Maskenfenster 58 dargestellt, das den T-förmigen Sourcebereich 16 umschließt. Das Maskenfenster 58 dient zum selektiven Erzeugen des Salicides im Verbindungsbereich 28 und auch auf der übrigen Deckfläche des Sourcebereiches 16.

15 Bei einem anderen Ausführungsbeispiel sind mindestens zwei Feldeffekttransistoren 10 parallel geschaltet. Für diesen Fall ist die in Figur 2 gezeigte Struktur entlang einer gestrichelten Linie 60 nach links zu spiegeln. Das bedeutet unter anderem, dass der Sourcebereich 16 und der Drainbereich 18 nach links zum nächsten Feld des Feldeffekttransistors
20 durchgehend ausgebildet sind. Das Maskenfenster 58 erstreckt sich bei diesem Ausführungsbeispiel über den erweiterten Sourcebereich 16.

5 Figur 3 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 in der Schnittebene III. Bereiche aus Siliziumdioxid sind in den Figuren mit Geraden schraffiert. Dies betrifft in Figur 3 die Isolierschicht 12, das Fülloxid 30 sowie Gateoxidbereiche 100 und 102.

30 Bereiche aus einkristallinem Silizium sind in den Figuren weiß, siehe beispielsweise den Substratbereich 14 in Figur 3. Polykristalline Bereiche sind mit Kreuzen bedeckt, siehe beispielsweise die Gatebereiche 20 und 22 sowie die Polybereiche 24 und 26 in Figur 3. Bereiche aus Metall sind vertikal schraffiert, siehe beispielsweise die Metallleitbahn 50,
35 die beispielsweise aus Kupfer oder Aluminium besteht.

Bereiche, in denen sich Refraktärmetalle befinden, sind durch Bereiche mit horizontal und vertikal verlaufenden Gitternetzlinien dargestellt, siehe beispielsweise die Verbindungsabschnitte 54 und 56. Bereiche, in denen sich Silizide befinden, sind in den Figuren mit schräg verlaufenden Gitternetzlinien dargestellt. Dies trifft in Figur 3 für den Verbindungsbereich 28 sowie für Salicidbereiche 104 und 106 zu, die sich auf in dem Sourcebereich 16 nahen Bereichen der Gatebereiche 20 und 22 befinden.

10

Schließlich sind Bereiche, in denen sich im Ausführungsbeispiel ein Bor-Phosphor-Silikatglas (BPSG) befindet, mit gestrichelten Linien schraffiert, siehe beispielsweise einen Isolierbereich 110 zwischen der Metalleitbahn 50 und dem Füllbereich 30.

15

Figur 4 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 entlang der Schnittebene IV. Wie in Figur 4 zu erkennen ist, erstreckt sich das Oxid der Gateoxidbereiche 100 bzw. 102 auch entlang des Sourcebereiches 16. In der Schnittebene IV ist die Silikatglasschicht 110 mit einem Intermetall-dielektrikum 150 belegt, das im Ausführungsbeispiel aus Siliziumdioxid besteht. Bereiche neben dem Verbindungsbereich 28 sind in der Schnittebene IV nicht mit Silizid bedeckt, da sich in der Schnittebene IV auf der Höhe des Verbindungsbereiches 28 an das Gateoxid 100 bzw. 102 Siliziumdioxid des Füllbereiches 30 anschließt.

20

25

Figur 5 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 entlang des Schnittes I. In Figur 5 sind außerdem eine x-Komponente 170 des elektrischen Feldes und eine y-Komponente 172 des elektrischen Feldes im Substratbereich 14 dargestellt. Die x-Komponente 170 zeigt vom Drainbereich 18 zum Sourcebereich 16. Die y-Komponente 172 zeigt in die Zeichenebene hinein vom Gatebereich 20 zum Gatebereich 22.

30

35

Figur 6 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 in der Schnittebene II. Gut zu erkennen ist, dass sich der Verbindungsbereich 28 auch oberhalb desjenigen Bereiches des Sourcebereiches 16 befindet, der nicht direkt zum Substratbereich 14 führt.

Figuren 7A und 7B zeigen eine erste Herstellungsstufe bei der Herstellung des Feldeffekttransistors 10. Die Herstellung beginnt ausgehend von einem SOI-Substrat (Silicon On Insulator), bei dem eine sich auf der Isolierschicht 12 befindende Siliziumschicht im Ausführungsbeispiel eine Dicke von einhundert Nanometern hat und bereits p-dotiert ist. Auf der Siliziumschicht wird eine sogenannte Hartmaske aus Siliziumnitrid 200 hergestellt. Dazu wird das Siliziumnitrid 200 ganzflächig erzeugt. Die Schicht aus Siliziumnitrid 200 wird dann mit Hilfe eines fotolithografischen Verfahrens strukturiert und oberhalb der Bereiche, in denen sich später der Füllbereich 30 befindet, geöffnet. Anschließend wird ein reaktives Ionätzen durchgeführt, das auf der Isolierschicht 12 stoppt. Auf der Isolierschicht 12 verbleiben der Substratbereich 14, siehe Schnitt III, und der Sourcebereich 16, siehe Schnitt IV, sowie der Drainbereich 18.

Wie in den Figuren 8A und 8B für den Schnitt III bzw. den Schnitt IV dargestellt, werden anschließend die Gateoxidbereiche 100 und 102 hergestellt, beispielsweise mit Hilfe einer thermischen Oxidation. Das Oxid der Gateoxidbereiche 100 bzw. 102 erstreckt sich nicht nur am Substratbereiches 14 entlang, sondern auch am Sourcebereich 16 bzw. am Drainbereich 18 entlang.

Anschließend wird eine Schicht aus polykristallinem Silizium abgeschieden und mit Hilfe eines fotolithografischen Verfahrens strukturiert. Beim Strukturieren werden die Gatebereiche 20 und 22 und die Polybereiche 24 und 26 erzeugt, siehe Schnitt III. Im Bereich des Schnittes IV wird dagegen das Polysilizium bei der Strukturierung wieder entfernt.

Nach dem Strukturieren des Polysiliziums wird eine Schrägimplantation von LDD-Bereichen (Lightly Doped Drain) durchgeführt. Anschließend werden der Sourcebereich 16 und der Drainbereich 18 mit Hilfe einer Ionenimplantation dotiert, z.B. stark n-dotiert, d.h. n+. Gleichzeitig werden die polykristallinen Gatebereiche 20 und 22 und die Polybereiche 24 und 26 dotiert.

Wie in den Figuren 9A und 9B dargestellt, wird nach dem Implantieren im Füllbereich 30 Siliziumdioxid abgeschieden. Damit sind die Zwischenräume zwischen verschiedenen Substratbereichen 14 und verschiedenen Drainbereichen 16 bzw. 18 ausgefüllt. Nach dem Füllen der Füllbereiche 30 wird ein chemisch-mechanisches Polierverfahren (CMP) durchgeführt, das auf dem Siliziumnitrid 200 stoppt. Durch das CMP-Verfahren wird wieder eine ebene Oberfläche erzeugt.

Anschließend wird mit Hilfe eines Trockenätzprozesses das polykristalline Silizium etwas zurückgeätzt, bis es die gleiche Höhe wie der Substratbereich 14 hat. Durch diesen Rückätzschritt wird für das folgende Aufbringen der Silizidschicht im Bereich des Substratbereiches 14 ein gleiches Höhenniveau geschaffen.

Wie in den Figuren 10A und 10B gezeigt, wird danach das Siliziumnitrid 200 oberhalb des Sourcebereiches 16 und oberhalb des Bereiches des Substratbereiches 14 entfernt, über dem später der Verbindungsabschnitt 28 angeordnet wird. Dafür wird eine Fotolackschicht aufgebracht und mit Hilfe eines fotolithografischen Verfahrens strukturiert, wobei das in Figur 2 dargestellte Maskenfenster 58 oberhalb des Sourcebereiches 16 und auch oberhalb des sourceseitigen Polybereiches 20 bis 26 entsteht. Innerhalb des Maskenfensters 58 wird danach das Siliziumnitrid 200 entfernt. Danach wird die das Maskenfenster 58 enthaltene Fotolackschicht entfernt.

14

Anschließend wird ganzflächig bspw. Nickel aufgebracht, das bei einem Temperschnitt bei bspw. 500 Grad Celsius eine Silizidverbindung oberhalb von Bereichen bildet, die aus Silizium bestehen, d.h. oberhalb des Substratbereiches 14, des Sourcebereiches 16, des Gatebereiches 20 und des Gatebereiches 22. Es entstehen der Verbindungsbereich 28 auf dem freiliegenden Teil des Substratbereiches 14 und die Silizidbereiche 104 und 106 auf den Gatebereichen 20 bzw. 22.

10 Anschließend wird das Nickel in Bereichen entfernt, in denen sich kein Silizid gebildet hat. Beispielsweise wird das Nickel mit einem nasschemischen Ätzprozess entfernt.

15 Wie in den Figuren 11A und 11B dargestellt, wird anschließend das Silikatglas 110 ganzflächig aufgebracht. Beispielsweise wird das Silikatglas 110 aufgeschleudert.

20 Wie in den Figuren 12A und 12B dargestellt, werden danach die Verbindungsabschnitte 54 und 56 hergestellt. Dazu wird ein fotolithografisches Verfahren ausgeführt, um im Silikatglas 110 Kontaktlöcher zu erzeugen, welche die Verbindungsabschnitte 54 und 56 aufnehmen sollen. Die Kontaktlöcher werden dann z.B. mit Wolfram gefüllt, um die Verbindungsabschnitte 54 und 56 zu bilden. Wie in Figur 12A gezeigt, werden die Kontaktlöcher so erzeugt, dass zwischen dem Verbindungsabschnitt 54 und dem Gatebereich 20 Füllmaterial 30 verbleibt. Auch zwischen dem Verbindungsabschnitt 56 und dem Gatebereich 22 verbleibt Füllmaterial 30.

30 Danach wird die Metallleitbahn 50 erzeugt, die zu den Verbindungsabschnitten 54 und 56 führt. Beispielsweise enthält die Metallleitbahn 50 als Hauptbestandteil Aluminium. In diesem Fall wird Aluminium ganzflächig aufgebracht und anschließend mit Hilfe eines fotolithografischen Verfahrens strukturiert.

35 Dabei wird die Metallschicht u.a. oberhalb des Silikatglases 110 entlang der Schnittebene IV wieder entfernt.

Figur 13 zeigt ein Ausführungsbeispiel eines Feldeffekttransistors 10a entlang eines Schnittes Ia, dessen Lage der Lage des Schnittes I entspricht. Der Feldeffekttransistor 10a enthält wie der Feldeffekttransistor 10 eine Isolierschicht 12a, einen Substratbereich 14a, einen Sourcebereich 16a, einen Drainbereich 18a und einen Verbindungsbereich 28a. Der Feldeffekttransistor 10a ist von einem Silikatglas 110a bedeckt, z.B. von Bor-Phosphor-Silikatglas (BPSG), das zur Isolierung von einer Metallleitbahn 50a dient.

Im Gegensatz zum Feldeffekttransistor 10 liegt der Verbindungsbereich 28a quer zu einem sich beim Betrieb des Feldeffekttransistors 10a ausbildenden Kanal. Der Sourcebereich 16a ist nur etwa halb so tief wie der Sourcebereich 16. Zwischen dem Sourcebereich 16a und dem Isolierbereich 12a befindet sich ein p-dotierter Bereich 230, d.h. ein Bereich mit einer Dotierung des gleichen Leitungstyps wie der Substratbereich 14a. Der Verbindungsbereich 28a verbindet den Sourcebereich 16a und den Bereich 230. Der Substratbereich 14a ist damit über den Bereich 230 mit dem Verbindungsbereich 28a verbunden.

Der Verbindungsbereich 28a lässt sich wiederum mit Siliziden unter Verwendung der Salicide-Technik herstellen. Jedoch werden bei einem anderen Ausführungsbeispiel Metalle zur Herstellung des Verbindungsbereiches 28a verwendet.

Bei einem anderen Ausführungsbeispiel sind der Sourcebereich 16a und der Bereich 230 vertauscht. Nur der Bereich 230 wird in diesem Fall mit einem Kontakt kontaktiert.

Bei einem weiteren Ausführungsbeispiel des in Figur 13 dargestellten Transistors wird das polykristalline Silizium oberhalb des Substratbereiches 16a nicht entfernt, so dass den Gatebereichen 20, 22 entsprechende Gatebereiche über das dotierte polykristalline Silizium elektrisch leitend miteinander verbunden sind.

Figur 14 zeigt eine Darstellung des Feldverlaufes im Substratbereich 14 bzw. auch im Substratbereich 14a. Es sei angenommen, dass der Sourcebereich 16, der Gatebereich 20 und der Gatebereich 22 auf ein Potential von null Volt gelegt werden. Der Drainbereich 18 wird auf ein Potential von zehn Volt gelegt. Für diese Potentialverteilung bilden sich die in Figur 14 dargestellten Feldlinien 240 aus.

10 Auf Grund der Verwendung der SOI-Technik und auf Grund des Anschlusses des Substrates 14 ergeben sich für den sogenannten GIDL (Gate Induced Drain Leakage) die folgenden Verhältnisse:

- 15 - ohne Verwendung von zwei Gatebereichen 20, 22 enden fast alle Feldlinien auf einer Gateseite. Bei der Verwendung von zwei Gatebereichen 20 bis 22 ergibt sich eine geringere Feldliniendichte, die zu einer verbesserten Durchbruchsfestigkeit des Feldeffekttransistors 10 führt.
- 20 - Außerdem wird die in x-Richtung gerichtete Feldkomponente 170 kleiner, so dass auch deshalb die Durchbruchsspannung steigt.
- Quer zur Komponente 170 gerichtete y-Komponenten lenken die Ladungsträger zum Gateoxidbereich 100 bzw. 102. Dadurch treffen die meisten Ladungsträger auf den Gatebereich 20, 22 auf, bevor sie eine lawinenartige Stoßionisation verursachen. Der gate-gesteuerte Durchbruch wird reduziert, weil die Elektron/Loch-Erzeugung durch Stoßionisation stark reduziert ist. Die meisten Ladungsträger werden auf Grund der gekrümmten Feldlinien zum Gateoxid 100 bzw. 102 abgelenkt, bevor sie genügend Energie für eine Stoßionisation aufnehmen können. Das bedeutet mit anderen Worten, dass die mittlere freie Weglänge bis zu einer Stoßionisation größer als der Weg zum Gateoxid 100 bzw. 102 ist. Für lange Wegstrecken einiger weniger Ladungsträger bis zum Gateoxid 100 bzw. 102 geben die Ladungsträger dagegen Energie durch Phononenstreuung ab, so dass sie ebenfalls nicht ausreichend Energie für eine

Stoßionisation aufnehmen können. Auf Grund der geringen Anzahl von Ladungsträgern mit langen Wegstrecken kann das Substrat die durch die Phononenstreuung entstehende Energie aufnehmen ohne dass es zu einer Stoßionisation kommt. Somit können auch Spannungen größer als fünf Volt und sogar größer als neun Volt geschaltet werden.

Die längsten Abstände zwischen Substratbereich 14 bzw. 14a und Verbindungsabschnitt 28 bzw. Bereich 230 sind so kurz gewählt, dass die generierten Ladungsträger sehr schnell zum Verbindungsabschnitt 28 bzw. zum Bereich 230 driften können und so eine Überflutung des Substrates 14 bzw. 14a mit Ladungsträgern verhindert wird. Durch die genannten Maßnahmen werden die Hochspannungseigenschaften des Feldeffekttransistors 10 bzw. 10a im Vergleich zu bekannten Feldeffekttransistoren erheblich verbessert.

Figur 15 zeigt ein Ausführungsbeispiel mit zwei parallel geschalteten Feldeffekttransistoren 250 und 252, die im Wesentlichen jeweils wie der Feldeffekttransistor 10 aufgebaut sind. Figur 15 zeigt die Feldeffekttransistoren 250 und 252 entlang eines Schnittes IIIa, dessen Lage der Lage des Schnittes III entspricht.

Jedoch wurden Kontaktlöcher für Verbindungsabschnitte 254, 256 und 258 selbstjustierend zum Polysilizium der Gatebereiche und Polybereiche hergestellt. Das bedeutet, dass zwischen den Verbindungsabschnitten 254, 256 und 258 und dem polykristallinen Silizium kein Füllmaterial 30 verbleibt.

Figur 16 zeigt ein Ausführungsbeispiel mit drei parallel geschalteten Feldeffekttransistoren 270, 272 und 274, die im Wesentlichen jeweils wie der Feldeffekttransistor 10 aufgebaut sind. Figur 16 zeigt die Feldeffekttransistoren 270 bis 274 entlang eines Schnittes IIIb, dessen Lage der Lage des Schnittes III entspricht.

Zwischen den einzelnen Gatebereichen der Feldeffekttransistoren 270, 272 und 274 befinden sich weder Füllmaterial 30 noch Verbindungsabschnitte sondern nur polykristallines Silizium. Jedoch befinden sich oberhalb der Substratbereiche der Feldeffekttransistoren 270 bis 274 Füllbereiche 280, 282 bzw. 284 aus Siliziumdioxid. Die Füllbereiche 280 bis 284 sind so strukturiert, dass darüberliegendes polykristallines Silizium 290, die polykristalline Bereiche zwischen den Feldeffekttransistoren 270 bis 274 und an den Rändern der Feldeffekttransistoren 270 bis 274 verbindet.

Figur 17 zeigt den Einsatz von vier Feldeffekttransistoren 320 bis 326, die wie der Feldeffekttransistor 10 aufgebaut sind, als Ansteuertransistoren für ein Speicherzellenfeld 330 in einem EEPROM. Die Feldeffekttransistoren 320 bis 326 sind Bestandteil einer Ansteuereinheit 332, die von dem Speicherzellenfeld 330 in Figur 17 durch eine gestrichelte Linie 334 getrennt ist. Die Ansteuereinheit 332 steuert das Speicherzellenfeld 330 beispielsweise nach dem sogenannten NOR-Verfahren oder nach dem NAND-Verfahren an.

Die Feldeffekttransistoren 320 bis 326 wurden mit einem Verfahren hergestellt, wie es oben an Hand der Figuren 7A bis 12B erläutert worden ist. Anschlüsse 340, 342, 344 und 346 der Feldeffekttransistoren 320, 322, 324 bzw. 326 liegen in dieser Reihenfolge auf Potentialen von plus zehn Volt, plus sechzehn Volt, minus zehn Volt bzw. plus zehn Volt. Gate-Anschlüsse 350 bis 356 der Feldeffekttransistoren 320 bis 326 werden durch eine nicht dargestellte Steuereinheit angesteuert, um Speicherzellen des Speicherzellenfeldes 330 u.a. gemäß einem Programmierverfahren bzw. gemäß einem Lösungsverfahren anzusteuern. Die Ansteuerverfahren sind jedoch nicht Gegenstand der vorliegenden Anmeldung und werden deshalb nicht näher erläutert.

35

In Figur 17 ist außerdem eine Prinzipschaltung für eine Speicherzelle 360 des Speicherzellenfeldes 330 angegeben. Weitere

Speicherzellen 362 einer Speichermatrix sind durch Pfeile angedeutet. Die anderen Speicherzellen des Speicherzellenfeldes 330 sind wie die Speicherzelle 360 aufgebaut.

- 5 Die Speicherzelle 360 enthält einen Speichertransistor 364 und einen Auswahltransistor 366. Der Speichertransistor 364 ist ein Feldeffekttransistor mit einer ladungsspeichernden Zwischenschicht 368 zwischen einem Gate-Anschluss 370 und einem Kanalbereich. Der Gate-Anschluss 370 ist mit einer
- 10 Wortleitung 372 verbunden, die zu einem Anschluss 374 des Transistors 324 und zu einem Anschluss 376 des Transistors 326 führt. An der Wortleitung 372 liegt beim Programmieren eine Spannung von minus zehn Volt und beim Löschen eine Spannung von plus zehn Volt an. Ein Anschluss 378 des Transistors
- 15 364 führt zu einer Hilfsleitung 380, deren Potential auf das Programmieren und Löschen der Speicherzelle 360 keinen Einfluss hat. Ein Anschluss 382 des Transistors 364 ist mit einem Anschluss 384 des Feldeffekttransistors 366 verbunden. Ein Gate-Anschluss 386 des Auswahltransistors 366 führt zu
- 20 einer weiteren Wortleitung 388, die mit einem Anschluss 390 des Transistors 320 und mit einem Anschluss 392 des Feldeffekttransistors 322 verbunden ist. An der Wortleitung 388 liegt beim Programmieren eine Spannung von plus zehn Volt und beim Löschen eine Spannung von plus sechzehn Volt an.

- Ein Anschluss 394 des Feldeffekttransistors 366 wird mit einer Bitleitung 396 verbunden, an die durch die Ansteuereinheit 332 beim Programmieren eine Spannung von sechs Volt und beim Löschen der Speicherzelle 360 eine Spannung von null
- 30 Volt angelegt wird.

- Die an Hand der Figur 17 erläuterten Speicherzellen sind Speicherzellen eines EEPROM. Bei sogenannten Flash-Speicherbausteinen gibt es in einer Speicherzelle 360 nur
- 35 einen Speichertransistor. Ein Auswahltransistor 366 ist nicht erforderlich. Bei einem anderen Ausführungsbeispiel sind der Speichertransistor 364 und der Ansteuertransistor 366 in

einem Transistor realisiert, d.h. in einem sogenannten split-gate-Transistor.

Allen genannten Speicherzellstrukturen ist jedoch gemeinsam, dass betragsmäßig vergleichsweise hohe Löschspannungen und Programmierspannungen erforderlich sind, die mit Hilfe der erfindungsgemäßen Feldeffekttransistoren 320 bis 326 erzeugt werden. Durch die Verwendung der Feldeffekttransistoren 320 bis 326 lässt sich die Ansteuereinheit 332 mit zunehmendem Integrationsgrad auf gleiche Weise verkleinern, wie das Speicherzellenfeld 330.

Es werden sowohl N-Kanal-Feldeffekttransistoren als auch P-Kanal-Feldeffekttransistoren hergestellt. Außerdem lassen sich beliebig viele Feldeffekttransistoren mit jeweils zwei Steuerbereichen parallel schalten. Die Stromergiebigkeit steigt mit der Anzahl der parallel geschalteten Transistoren. Bei herkömmlichen Transistoren wird dies durch eine größere Weite des Kanals erzielt.

Die Einsatzspannung V_t der Feldeffekttransistoren kann durch die Dotierung im Kanal und über die Dicke D des Siliziums zwischen den beiden Gatebereichen eingestellt werden. Bei den oben erläuterten Transistoren ist die Einstellung der Einsatzspannung unproblematisch, weil die Einsatzspannung V_t nicht über die Gateoxiddicke, die Austrittsarbeit des Gatematerials oder die SOI-Oxiddicke vorgegeben werden muss.

Die Stromergiebigkeit der erläuterten Transistoren wird auch durch die Höhe der Siliziumschicht vorgegeben. Rein rechnerisch ist die Kanalweite W eines Transistors gleich der doppelten Siliziumhöhe. Da Doppel-Gate-Transistoren jedoch eine wesentlich bessere Stromergiebigkeit haben, z.B. um den Faktor Zwei höher als planare Transistoren, kann die benötigte Anzahl von parallel geschalteten Transistoren deutlich kleiner sein, als es sich aus rein geometrischen Überlegungen

ergeben würde. Für die meisten Anwendungen sind deshalb Einzeltransistoren ausreichend.

- Bei einem anderen Ausführungsbeispiel gibt es zusätzlich zum Maskenfenster 58 auch ein Maskenfenster zum Silizidieren des Drainbereiches 18. Der Sourcebereich 16 und der Drainbereich 18 werden an ihrer Deckfläche möglichst vollständig mit Silizid bedeckt, um den Kontaktwiderstand und den Schichtwiderstand zu verringern.

10

- Bei allen erläuterten Ausführungsbeispielen werden die Sourcebereiche 16 und die Drainbereiche 18 selbstverständlich ebenfalls kontaktiert, bspw. mit Wolframkontakten, die sich durch das Silikatglas 110 erstrecken und die in Metallisierungslagen mit Leitbahnen elektrisch leitfähig verbunden sind.

15

Bezugszeichenliste

10, 10a	Feldeffekttransistor
12, 12a	Isolierschicht
14, 14a	Substratbereich
W	Kanalweite
L	Kanallänge
D	Dicke
16	Sourcebereich
18	Drainbereich
20, 22	Gatebereich
24, 26	Polybereich
28	Verbindungsbereich
30	Fülloxid
I bis IV	Schnittebene
50	Metallleitbahn
52	Richtungspfeil
x	Kanalrichtung
54, 56	Verbindungsabschnitt
58	Maskenfenster
60	Spiegelebene
100, 102	Gateoxidbereich
104, 106	Salicidbereich
110	Silikatglas
150	Intermetalldielektrikum
170	x-Komponente
172	y-Komponente
200	Siliziumnitrid
230	p-dotierter Bereich
240	Feldlinie
250, 252	Feldeffekttransistor
254 bis 258	Verbindungsabschnitt
270 bis 274	Feldeffekttransistor
280 bis 284	Füllbereich
320 bis 326	Feldeffekttransistor
330	Speicherzellenfeld
332	Ansteuereinheit

2

334	gestrichelte Linie
340 bis 346	Gateanschluss
360	Speicherzelle
362	weitere Speicherzellen
364	Speichertransistor
366	Auswahltransistor
368	ladungsspeichernde Zwischenschicht
370	Gateanschluss
372	Wortleitung
374, 378	Anschluss
380	Hilfsleitung
382, 384	Anschluss
386	Gateanschluss
388	Wortleitung
390 bis 394	Anschluss
396	Bitleitung

Patentansprüche

1. Integrierter Feldeffekttransistor (10),

5 mit einem Substratbereich (14), der umgeben ist:

von zwei Anschlussbereichen (16, 18),

10 von zwei an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordneten elektrisch isolierenden Isolierschichten (100, 102), an denen Steuerbereiche (20, 22) angrenzen,

15 von mindestens einem elektrisch isolierenden Bereich (12, 110),

und von einem elektrisch leitfähigen Verbindungsbereich (28) oder einem Teil (230) eines elektrisch leitfähigen Verbindungsbereiches zwischen dem einem Anschlussbereich (16) und
20 dem Substratbereich (14).

2. Feldeffekttransistor (10) nach Anspruch 1, d a d u r c h
g e k e n n z e i c h n e t , dass der leitfähige Verbindungsbe-
reich (28) eine Metall-Halbleiter-Verbindung enthält oder aus
einer Metall-Halbleiter-Verbindung besteht, vorzugsweise aus
einem Silizid eines Metalls mit einer Schmelztemperatur grö-
ßer als 1400 Grad Celsius und/oder einem Refraktärmetallsili-
zid oder einem Seltenerdmetallsilizid,

30 und/oder dass der leitfähige Verbindungsbereich (230) einkri-
stallines Silizium enthält oder aus einkristallinem Silizium
besteht, wobei das Silizium vorzugsweise dotiert ist,

und/oder dass der leitfähige Verbindungsbereich (230) poly-
35 kristallines Silizium enthält oder aus polykristallinem Sili-
zium besteht, wobei das polykristalline Silizium vorzugsweise
dotiert ist,

und/oder dass der leitfähige Verbindungsbereich (28) ein Metall enthält oder aus einem Metall besteht.

- 5 3. Feldeffekttransistor (10) nach Anspruch 1 oder 2, da-
durch gekennzeichnet, dass die Isolierschichten
(100, 102) zum Isolieren der Steuerbereiche (20, 22) vom
Substratbereich (14) eine Isolierstärke von mindestens fünf-
zehn Nanometern oder mindestens zwanzig Nanometern haben,

und/oder' dass der Abstand zwischen den Anschlussbereichen (16, 18) mindestens 0,3 Mikrometer oder mindestens 0,4 Mikrometer beträgt,

- 15 und/oder dass ein Anschlussbereich (16) oder beide Anschluss-
bereiche (16, 18) einen flachen Dotierprofilgradienten haben,
welcher eine Schaltspannung mit einem Betrag größer als fünf
Volt oder größer als neun Volt oder größer als fünfzehn Volt,
jedoch vorzugsweise kleiner als dreißig Volt oder kleiner als
20 zwanzig Volt zulässt.

4. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Isolierbereich (12) Bestandteil einer Isolierschicht ist, die eine Vielzahl von Feldeffekttransistoren (10) trägt,

und/oder dass die Isolierschicht Siliziumdioxid enthält oder aus Siliziumdioxid besteht,

- 30 und/oder dass der andere Isolierbereich (110) Teil einer
Isolierschicht (110) ist, die eine Vielzahl von Substratbe-
reichen (14) isoliert, vorzugsweise eine Silikatglasschicht.

5. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Substratbereich (14) ein vorzugsweise einkristallines Halbleitermaterial enthält und/oder gemäß einem Leitungstyp do-

tiert ist und dass die Anschlussbereiche (16, 18) gemäß dem anderen Leitungstyp dotiert sind.

6. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuerbereiche (20, 22) elektrisch leitfähig miteinander verbunden sind.

7. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Substratbereich (14) sechs Seitenflächen enthält oder dass der Substratbereich (14) sechs Seitenflächen hat,

und/oder dass die Anschlussbereiche (16, 18) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind,

und/oder dass die Steuerbereiche (20, 22) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind,

und/oder dass die Isolierbereiche an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind.

8. Verwendung eines Feldeffekttransistors (10) mit zwei Steuerbereichen (20, 22), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche,

zum Schalten von Spannungen mit einem Betrag größer als fünf Volt oder größer als neun Volt oder größer als fünfzehn Volt, vorzugsweise jedoch kleiner als dreißig Volt.

9. Verwendung eines Feldeffekttransistors mit zwei Steuerbereichen (20, 22), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche, als Ansteuertransistor an einer Wortleitung (372, 388) oder einer Bitlei-

tung (396) eines Speicherzellenfeldes (330), insbesondere eines Flash-Speichers oder eines EEPROM-Speichers,

5 wobei der Ansteuertransistor vorzugsweise eine Steuerspannung an die Wortleitung (372, 388) oder an die Bitleitung (396) anlegt.

10 10. Verfahren zum Herstellen eines Feldeffekttransistors (10), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche,

mit den ohne Beschränkung durch die angegebene Reihenfolge ausgeführten Verfahrensschritten:

15 15 Bildung eines Substratbereiches (14),

Bildung zweier Anschlussbereiche (16, 18) am Substratbereich (14),

20 20 Bildung zweier an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordneter elektrisch isolierender Isolierschichten (100, 102), an denen Steuerbereiche (20, 22) angrenzen,

25 25 und Bildung eines elektrisch leitfähigen Verbindungsbereiches (28; 28a, 230), der den einen Anschlussbereich (16) und den Substratbereich (14) elektrisch leitfähig verbindet.

30 30 11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Anschlussbereiche (16, 18) und/oder der Substratbereich (14) auf Siliziumbasis aufgebaut ist,

und/oder dass der Verbindungsbereich (28) eine Metall-Halbleiter-Verbindung enthält, insbesondere ein Silizid, oder
35 35 aus einer Metall-Halbleiter-Verbindung besteht, insbesondere aus Silizid,

und/oder dass der Verbindungsbereich mit einem selbstjustierenden Verfahren erzeugt wird, bei dem ein Metall, insbesondere ein Metall mit einer Schmelztemperatur größer 1400 Grad Celsius und/oder ein Refraktärmetall, abgeschieden wird, das an Halbleiterbereichen eine Metall-Halbleiter-Verbindung bildet, insbesondere an siliziumbasierten Bereichen ein Silizid,

und/oder bei dem das Metall in Bereichen entfernt wird, in denen Metall-Halbleiter-Verbindung gebildet worden ist, insbesondere kein Silizid.

12. Verfahren nach Anspruch 10 oder 11, gekennzeichnet durch die Schritte:

Bereitstellen eines SOI-Substrats (12),

Strukturieren des Siliziums des SOI-Substrats, wobei Bereiche stehen bleiben, in denen der Substratbereich (14) und die Anschlussbereiche (16, 18) angeordnet werden sollen,

Bildung der Steuerbereiche (20, 22) nach dem Strukturieren,

und/oder Auffüllen von freien Bereichen zwischen den stehen gebliebenen Bereichen mit einem elektrisch isolierenden Material (30).

13. Verfahren nach einem der Ansprüche 10 bis 12, gekennzeichnet durch den Schritt:

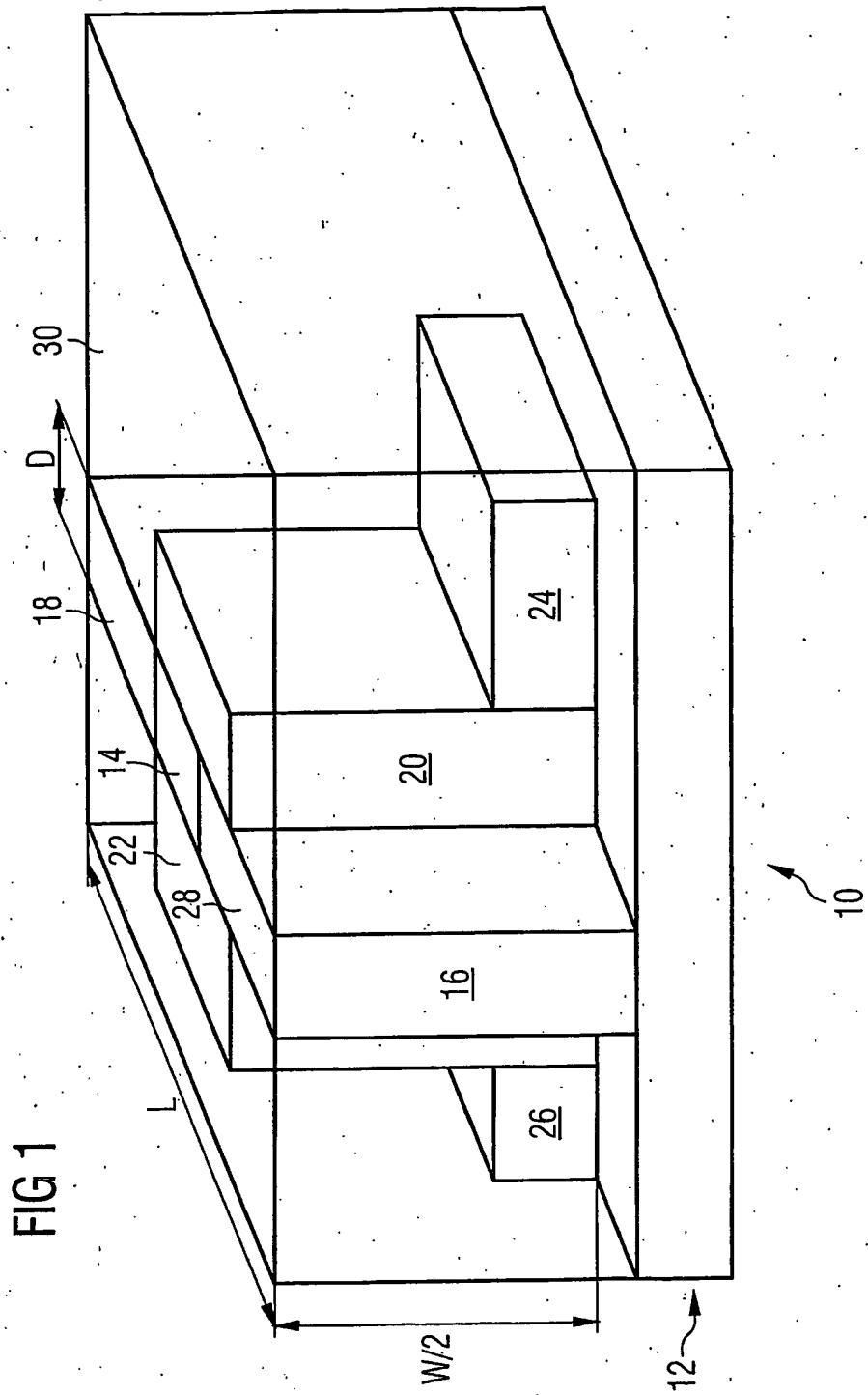
Einebnen der Oberfläche, vorzugsweise durch chemisch-mechanisches Polieren, nach dem Auffüllen und/oder nach der Bildung der Steuerbereiche (20, 22).

14. Verfahren nach Anspruch 13, gekennzeichnet durch die Schritte:

Rückätzen der Steuerbereiche nach dem Polieren,

und/oder Ausführen eines selbstjustierenden Verfahrens zur Bildung einer Metall-Halbleiter-Verbindung, insbesondere

- 5 eines Salicid-Verfahrens, wobei in den rückgeätzten Bereichen und/oder auf dem Substratbereich (14) und/oder auf einem Anschlussbereich (16) eine Metall-Halbleiter-Verbindung erzeugt wird, insbesondere eine Silizidschicht.



2/10



FIG 3 Schnitt III-III



FIG 4 Schnitt IV-IV

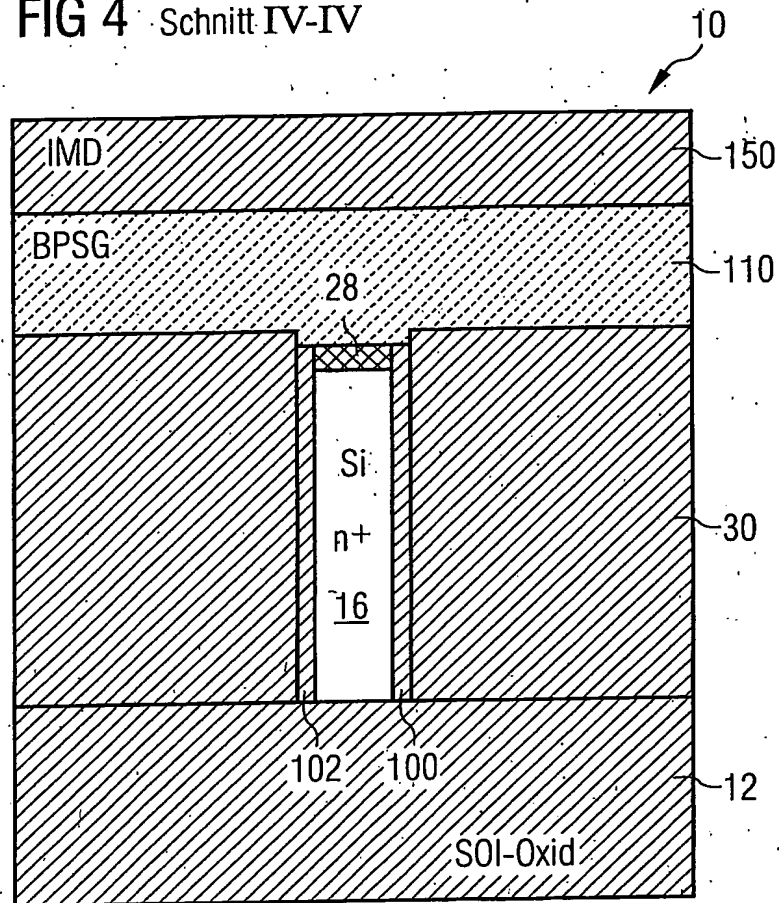


FIG 5 Schnitt I-I

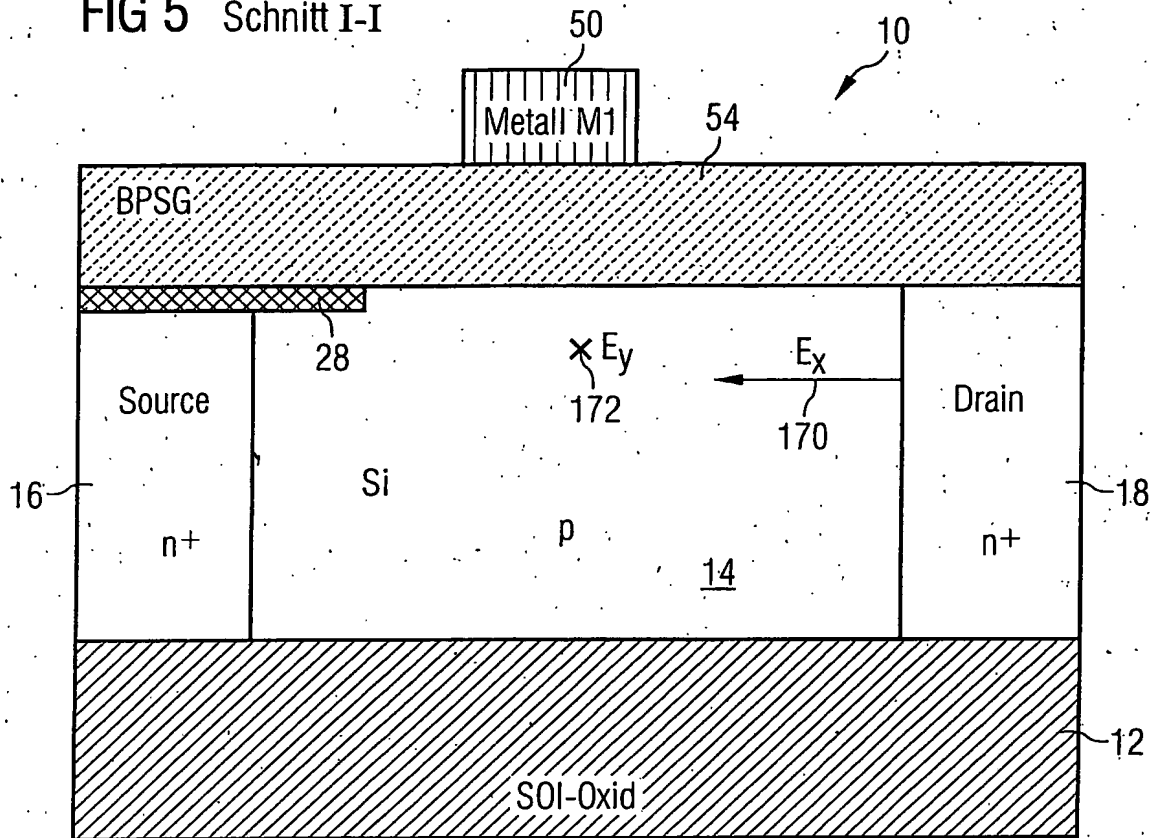


FIG 6 Schnitt II-II

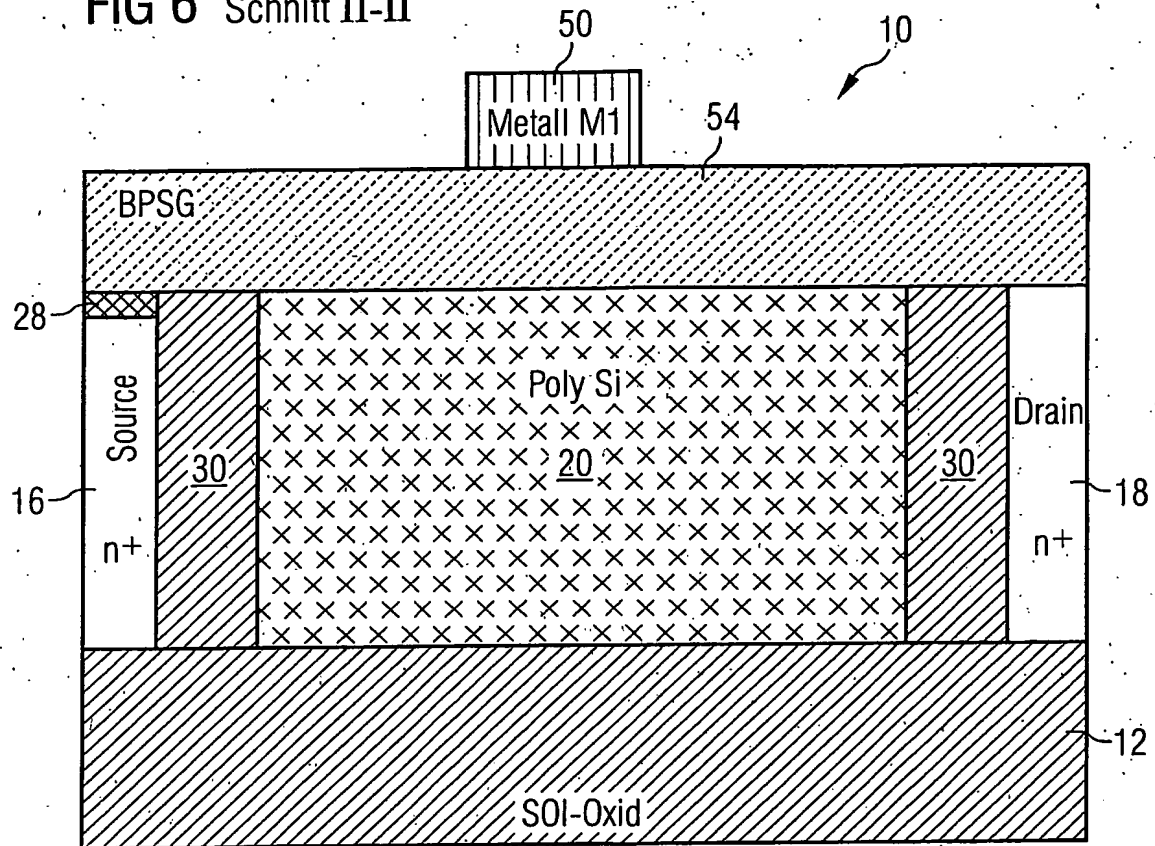


FIG 7A Schnitt III-III

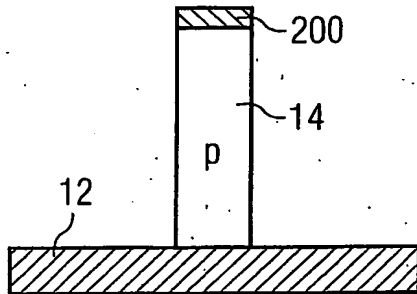


FIG 7B Schnitt IV-IV

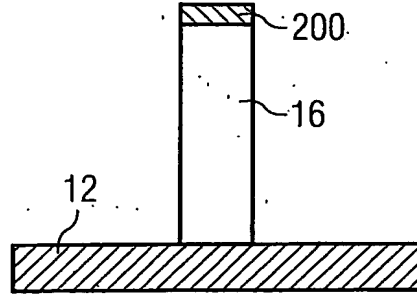


FIG 8A Schnitt III-III

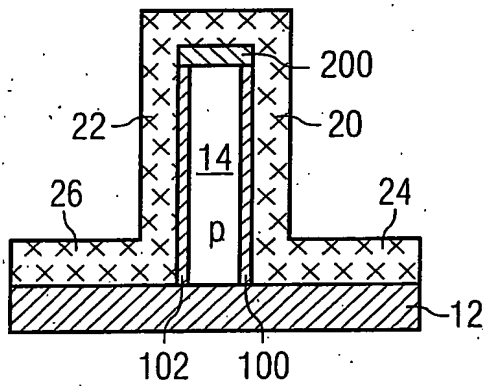


FIG 8B Schnitt IV-IV

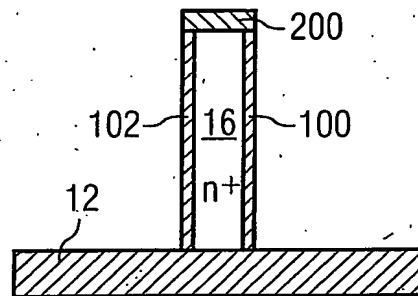


FIG 9A Schnitt III-III

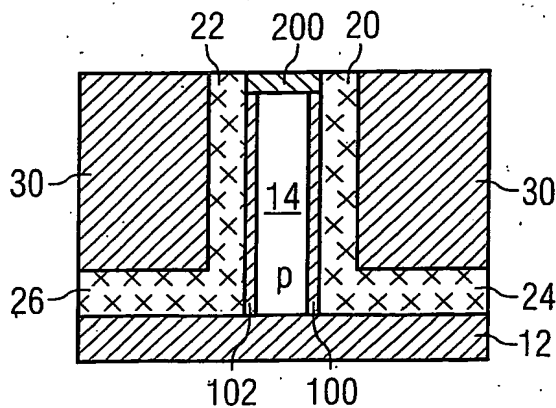


FIG 9B Schnitt IV-IV

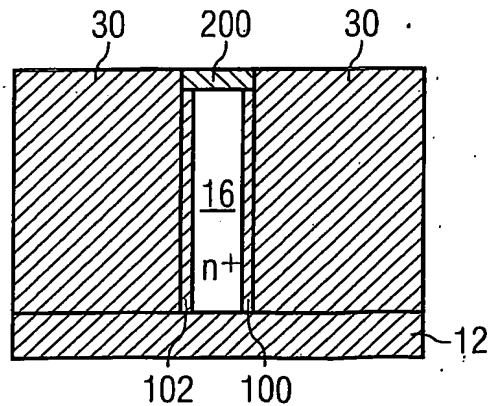


FIG 10A Schnitt III-III

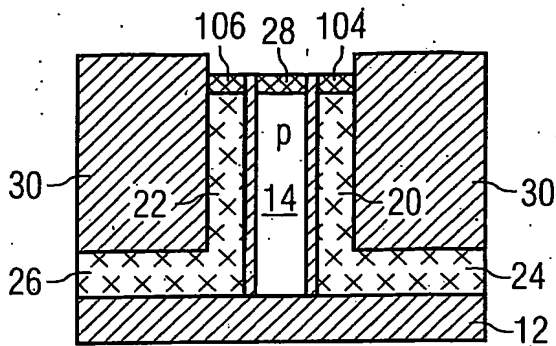


FIG 10B Schnitt IV-IV

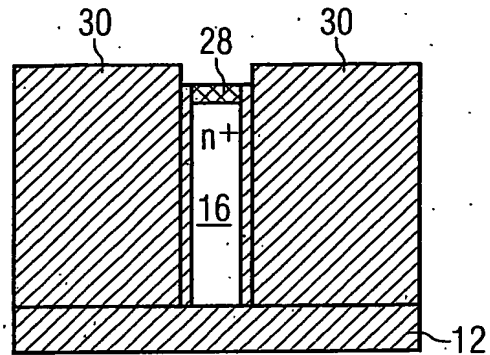


FIG 11A Schnitt III-III

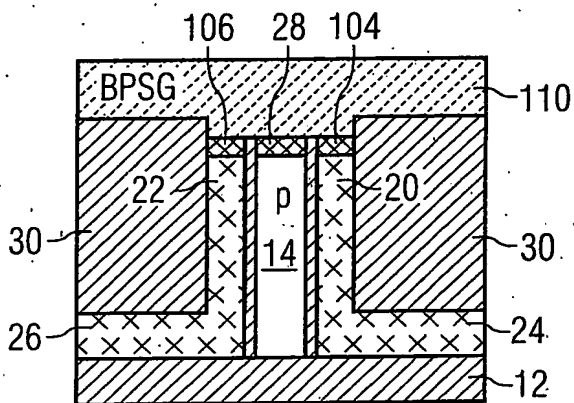


FIG 11B Schnitt IV-IV

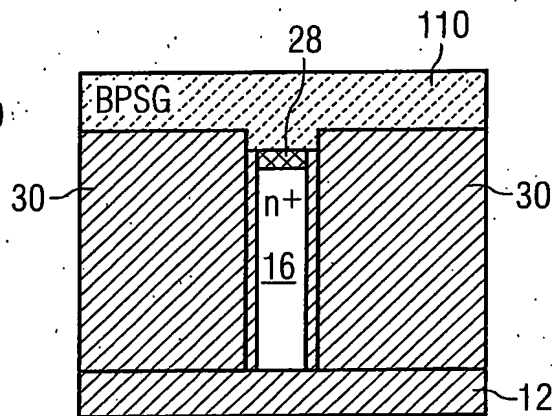


FIG 12A Schnitt III-III

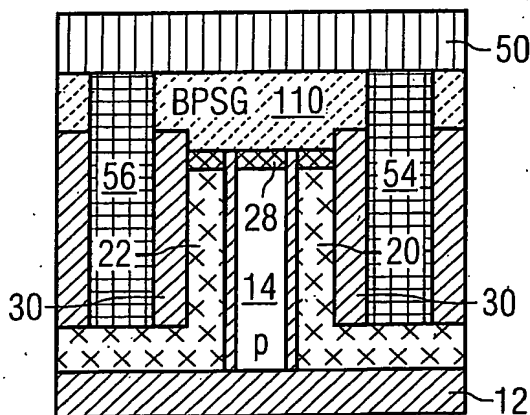


FIG 12B Schnitt IV-IV

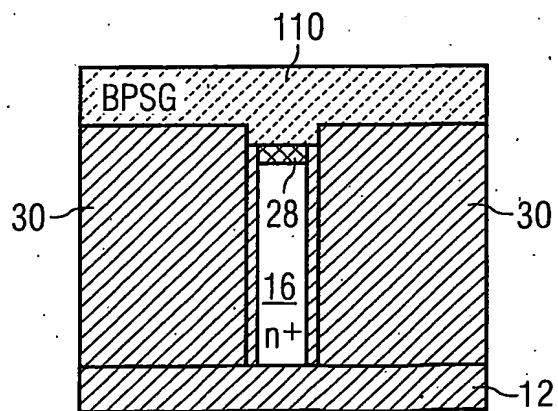


FIG 13 Schnitt Ia

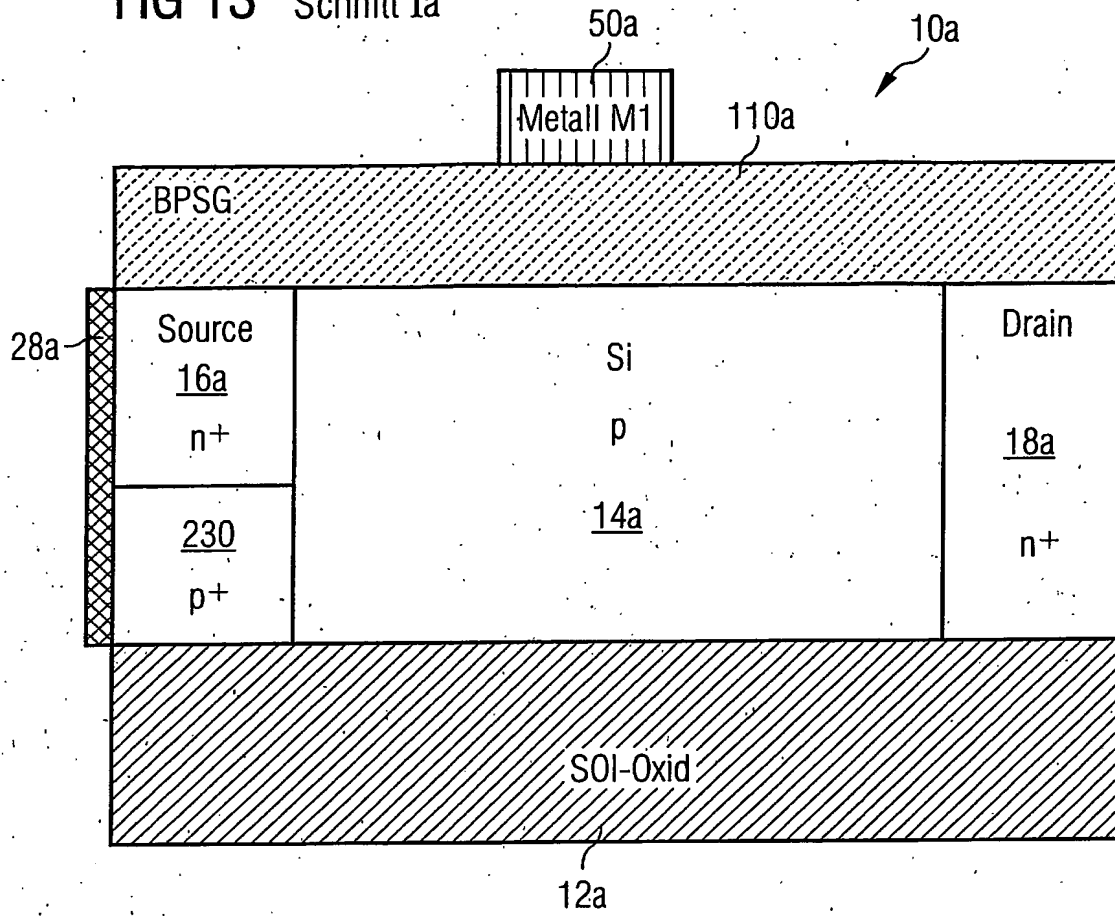


FIG 14

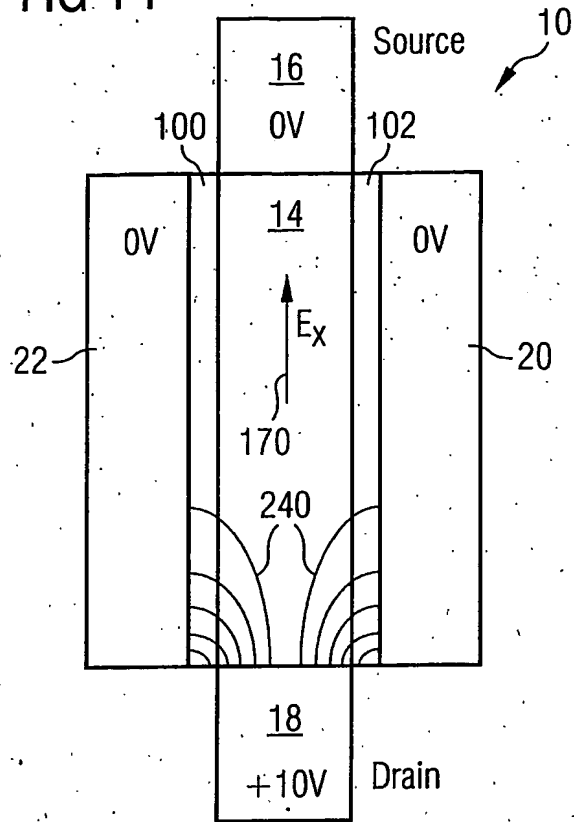
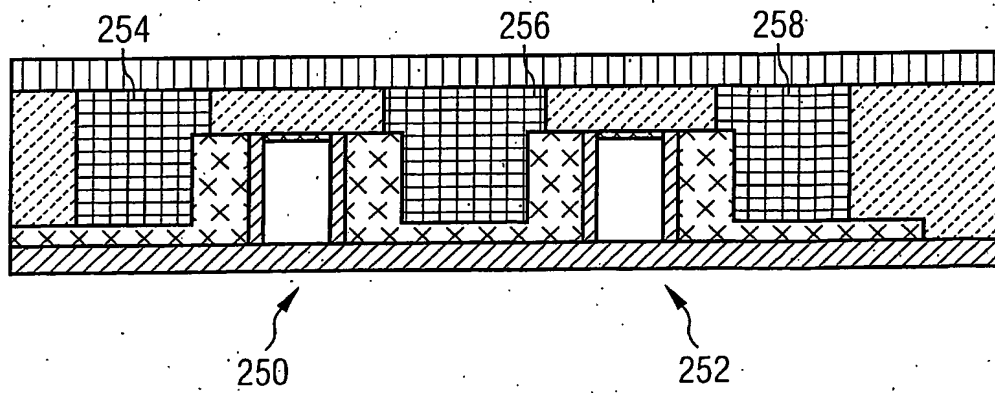


FIG 15 Schnitt IIIa



This cross-sectional view shows a semiconductor device with a trench array. A substrate 270 is at the base. Above it is a layer 272. A trench array 274 is formed in layer 272. The trench walls are lined with a material 280. A layer 282 is deposited over the trench walls and the top surface of layer 272. A layer 284 is deposited over layer 282. A layer 290 is deposited over layer 284. The trench array 274 is filled with a material 280.

[illegible]

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. April 2004 (15.04.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/032245 A1

(51) Internationale Patentklassifikation⁷: H01L 29/786,
21/336

Ronald [DE/DE]; Karlsbergstrasse 11, 81475 München
(DE).

(21) Internationales Aktenzeichen: PCT/DE2003/003131

(74) Anwälte: KINDERMANN, Peter usw.; Patentanwälte
Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(22) Internationales Anmeldedatum:
19. September 2003 (19.09.2003)

(81) Bestimmungsstaaten (*national*): CN, JP, KR, SG, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 45 153.2 27. September 2002 (27.09.2002) DE

Veröffentlicht:

— mit internationalem Recherchenbericht

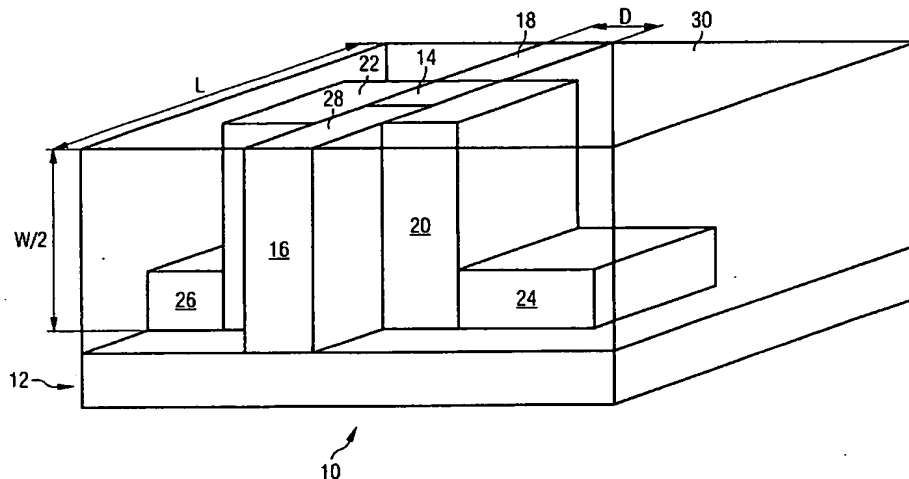
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): KAKOSCHKE,

(54) Title: INTEGRATED FIELD-EFFECT TRANSISTOR COMPRISING TWO CONTROL REGIONS, USE OF SAID FIELD-
EFFECT TRANSISTOR AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: INTEGRIERTER FELDEFFEKTTRANSISTOR MIT ZWEI STEUERBEREICHEN, VERWENDUNG DIE-
SES FELDEFFEKTTRANSISTORS UND HERSTELLUNGSVERFAHREN



(57) Abstract: The invention relates to, inter alia, a field-effect transistor (10) which is produced by means of the SOI technique and the salicide technique as a double-gate-transistor (10). Said transistor (10) is suitable for turn-on voltages higher than five volts, or even higher than nine volts, and requires only a very small chip surface.

(57) Zusammenfassung: Erläutert wird unter anderem ein Feldeffekttransistor (10), der unter Verwendung der SOI-Technik und der Salicidtechnik als sogenannter Double-Gate-Transistor (10) hergestellt wird. Der Transistor (10) ist für Schaltspannungen grösser als fünf Volt oder sogar grösser als neun Volt geeignet und benötigt nur eine sehr kleine Chipfläche.

WO 2004/032245 A1

Beschreibung

Integrierter Feldeffekttransistor mit zwei Steuerbereichen,
Verwendung dieses Feldeffekttransistors und Herstellungsver-
5 fahren

Die Erfindung betrifft einen integrierten Feldeffekttransis-
tor mit einem Substratbereich, mindestens zwei dotierten
Anschlussbereichen und einem Steuerbereich. Die Anschlussbe-
10 reiche werden üblicherweise als Source und als Drain bezeich-
net. Der Steuerbereich wird auch als Gate bezeichnet.

Es ist Aufgabe der Erfindung, einen einfach aufgebauten Feld-
effekttransistor anzugeben, der einen kleinen Flächenbedarf
15 hat, für Schaltspannungen mit einem Betrag größer als fünf
Volt oder größer als neun Volt geeignet ist und der hervorra-
gende Kurzkanaleigenschaften hat, insbesondere einen hohen
Drain-Strom und eine gute Sperreigenschaft. Außerdem sollen
eine Verwendung für diesen Transistor und ein einfaches Ver-
20 fahren zur Herstellung dieses Transistors angegeben werden.

Die auf den Transistor bezogene Aufgabe wird durch einen
Feldeffekttransistor mit den im Patentanspruch 1 angegebenen
Merkmale gelöst. Weiterbildungen sind in den Unteransprüchen
25 angegeben.

Der erfindungsgemäße Feldeffekttransistor enthält einen meist
dotierten Substratbereich, der, bspw. vollständig oder zu
mindestens fünfundsiebzig Prozent, von den folgenden Berei-
30 chen umgeben ist:

- zwei dotierten Anschlussbereichen,
- zwei elektrisch isolierenden Steuerbereich-
Isolierschichten,
- und mindestens einem elektrisch isolierenden Bereich,
35 dessen Dicke bei einer Ausgestaltung mindestens das dop-
pelte oder mindestens das zehnfache der Isolierdicke ei-
ner Steuerbereich-Isolierschicht beträgt.

Außerdem enthält der erfindungsgemäße Feldeffekttransistor einen elektrisch leitfähigen Verbindungsbereich zwischen dem einem Anschlussbereich und dem Substratbereich oder zwischen
5 dem einem Anschlussbereich und einem zum Substratbereich führenden Bereich des gleichen Leitungstyps wie der Substratbereich.

Das Verwenden zweier Steuerbereiche führt zu einem kleinen
10 Flächenbedarf und zu hervorragenden Kurzkanaleigenschaften. Das Umgeben des Steuerbereiches mit mindestens einem elektrisch isolierenden Bereich dient der Trennung des Substratbereiches von einem Hauptsubstrat einer integrierten Schaltungsanordnung, die den integrierten Feldeffekttransistor
15 enthält. Durch die elektrisch leitfähige Verbindung zwischen dem Anschlussbereich und dem Substratbereich lässt sich das vom Hauptsubstrat getrennte Substrat ohne zusätzlichen Flächenbedarf für einen Substratanschluss so anschließen, dass störende Ladungsträger aus dem Substrat des Feldeffekttransistors effizient entfernt werden.
20

Das Verwenden eines durch mindestens einen Isolierbereich isolierten Substrates und der Anschluss des Substrates an den einen Anschlussbereich ermöglichen es, parasitäre Bipolareffekte ohne zusätzlichen Flächenbedarf für Anschlüsse des
25 Substrates zu unterdrücken, so dass u.a. Schaltspannungen mit einem Betrag größer als fünf Volt oder größer als neun Volt geschaltet werden können. Beispielsweise werden der Substratbereich und der Source-Anschlussbereich auf gleichem Potential gehalten, wobei ein gemeinsamer Anschluss verwendet wird.
30 Bei einer Ausgestaltung wird die Schottkybarriere zwischen dem Silizid und dem Substrat möglichst klein gehalten.

Bei einer Weiterbildung des erfindungsgemäßen Feldeffekttransistors enthält der leitfähige Verbindungsbereich ein Silizid
35 oder besteht aus einem Silizid. Bei Ausgestaltungen werden Refraktärmetallsilizide oder Silizide mit Seltenerdmetallen

eingesetzt. Die Verwendung von Siliziden bietet die Möglichkeit, den leitfähigen Verbindungsbereich mit Hilfe der sogenannten Salicid-Technik herzustellen (Self aligned Silicide). Bei dieser Technik wird das Silizid selektiv auf Silizium- oder Polysiliziumoberflächen erzeugt, nicht jedoch auf Siliziumdioxidoberflächen oder Oberflächen aus einem anderen Material. Durch diese Maßnahme muss beim Herstellen des leitfähigen Verbindungsbereiches kein zusätzliches Lithografieverfahren ausgeführt werden. Es lässt sich aber auch ein Lithografieverfahren ausführen, bei dem eine Maske erzeugt wird, die beispielsweise nur rechteckförmige Bereiche enthält. Die silizierten Bereiche haben auf Grund der Selektivität beim Salicide-Verfahren jedoch Strukturen, die von der Rechteckform abweichen. Als Silizid wird beispielsweise Kobaltsilizid, Platinsilizid, Erdiumsilizid oder Nickelsilizid verwendet.

Werden andere Halbleitermaterialien an Stelle von Silizium verwendet, z.B. Germanium, so werden dem Salicide-Verfahren ähnliche Verfahren genutzt, um selektiv Metall-Halbleiter-Verbindungen zu bilden.

Bei anderen Weiterbildungen wird ein leitfähiger Verbindungsbereich aus einkristallinem Silizium, aus polykristallinem Silizium oder aus einem Metall verwendet.

Bei einer nächsten Weiterbildung haben die einzelnen Elemente des Feldeffekttransistors Abmessungen und/oder Strukturen, die das Schalten von Spannungen größer als fünf Volt oder sogar größer als neun Volt oder größer fünfzehn Volt, jedoch vorzugsweise kleiner als dreißig Volt, zulassen:

- Isolierschichten zum Isolieren der Steuerbereiche vom Substratbereich haben eine Isolierschichtdicke von mindestens fünfzehn Nanometern oder von mindestens zwanzig Nanometern,
- der Abstand zwischen den Anschlussbereichen beträgt mindestens 0,3 Mikrometer oder mindestens 0,4 Mikrometer,

4

- die Anschlussbereiche haben im Vergleich zu den Dotierprofilen planarer Feldeffekttransistoren einen flachen Dotierprofilgradienten von beispielsweise etwa zweihundert Nanometern pro Dekade.

5

Die genannten Maßnahmen führen einzeln und insbesondere in Summe dazu, dass Spannungen mit einem Betrag größer als fünf Volt oder sogar größer als neun Volt geschaltet werden können.

10

Bei einer nächsten Weiterbildung ist ein Isolierbereich des Feldeffekttransistors Bestandteil einer Isolierschicht, die eine Vielzahl von Feldeffekttransistoren trägt. Die Isolierschicht besteht bei einer Ausgestaltung aus Siliziumdioxid.

15 Wird als Substratmaterial Silizium verwendet, so wird die Herstellungstechnik auch als SOI-Technik (Silicon On Insulator) bezeichnet.

20 Bei einer anderen Weiterbildung ist der Substratbereich einkristallin und gemäß einem Leitungstyp dotiert. Die Anschlussbereiche sind ebenfalls einkristallin, jedoch gemäß einem anderen Leitungstyp dotiert. Der Substratbereich ist homogen oder inhomogen dotiert.

25 Bei einer nächsten Weiterbildung des Feldeffekttransistors sind die Steuerbereiche elektrisch leitfähig miteinander verbunden, so dass ein sogenannter Double-Gate-Transistor entsteht, der hervorragende Kurzkanaleigenschaften hat.

30 Bei einer nächsten Weiterbildung des Feldeffekttransistors hat der Substratbereich sechs Seitenflächen, die quaderförmig oder pyramidenstumpfförmig zueinander angeordnet sind. Die Anschlussbereiche, die Isolierschichten zu den Steuerbereichen und die Isolierbereiche liegen jeweils an gegenüberliegenden Seiten des Substratbereiches.

35

Eine Ebene, welche die Anschlussbereiche und die Steuerbereiche enthält, liegt bei einer Ausgestaltung parallel zum Trägersubstrat. Beidseitig von dieser Ebene liegen die Isolierbereiche. In diesem Fall ist ein Isolierbereich Bestandteile
5 eines SOI-Substrates.

Wird dagegen die Ebene, in der die Anschlussbereiche und die Steuerbereiche liegen, quer. z.B. im Winkel von neunzig Grad, zu einer Trägersubstratebene angeordnet, so wird zur Herstellung der Isolierbereiche beispielsweise eine Feldoxidtechnik oder eine STI-Technik eingesetzt (Shallow Trench Isolation). Auf Grund der verschiedenen Anordnungen der Ebene, in der die Anschlussbereiche und die Steuerbereiche liegen, entstehen Feldeffekttransistoren, deren Kanal quer (vertikal) zum
10 Trägersubstrat oder parallel (horizontal) zum Trägersubstrat liegt.

Die Erfindung betrifft außerdem die Verwendung des erfindungsgemäßen Feldeffekttransistors oder einer seiner Weiterbildungen zum Schalten von Spannungen mit einem Betrag größer als fünf Volt oder sogar größer als neun Volt oder größer als
20 fünfzehn Volt, vorzugsweise jedoch kleiner dreißig Volt, insbesondere als Ansteuertransistor an einer Wortleitung oder einer Bitleitung eines Speicherzellenfeldes. Das Speicherzellenfeld ist bei einer Ausgestaltung ein sogenannter Flash-Speicher oder ein EEPROM-Speicher (Electrical Erasable Programmable Read Only Memory). Bei Flash-Speichern lassen sich nur einzelne Speicherbereiche selektiv löschen, nicht dagegen
25 einzelne Speicherzellen oder einzelne Speicherworte.

30 Der die Verwendung des Feldeffekttransistors betreffende Aspekt der Erfindung geht von der Überlegung aus, dass von der bisher eingeschlagenen Richtung bei der Herstellung von Ansteuertransistoren für Speicherzellenfelder aus mehreren Gründen abgewichen werden sollte, um kleinere Speicherbausteine herstellen zu können:

- planare Feldeffekttransistoren zum Schalten von Schaltspannungen mit Beträgen größer als fünf Volt oder sogar größer als neun Volt lassen sich auf Grund physikalischer Grenzen nicht mehr verkleinern,
- 5 - selbst beim Verwenden der sogenannten split-voltage-Technik sind Programmierspannungen zu schalten, die betragsmäßig größer als fünf Volt oder sogar größer als neun Volt sind,
- eine Verringerung der Beträge der zu schaltenden Spannungen wäre mit einer Verringerung der Tunneloxiddicke verbunden. Die Verringerung dieser Dicke führt jedoch zu Zu-
- 10 verlässigkeitsproblemen, so dass dieser Weg mit vielen Schwierigkeiten verbunden ist.

15 Deshalb wird bei der erfindungsgemäßen Verwendung zur Ansteuerung des Speicherzellenfeldes ein Feldeffekttransistor eingesetzt, der den oben genannten Aufbau hat und deshalb auch die oben genannten Wirkungen zeigt, insbesondere das Schalten von Spannungen mit Beträgen größer als fünf Volt oder sogar

20 größer als neun Volt ermöglicht, einen kleinen Flächenbedarf hat, hervorragende Kurzkanaleigenschaften besitzt und einfach herzustellen ist.

Die Erfindung betrifft außerdem ein Verfahren zum Herstellen

25 eines Feldeffekttransistors, insbesondere zum Herstellen des erfindungsgemäßen Feldeffekttransistors oder einer seiner Weiterbildungen. Beim erfindungsgemäßen Verfahren werden ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt:

- 30 - Bildung eines Substratbereiches,
- Bildung zweier dotierter Anschlussbereiche am Substratbereich,
- Bildung zweier einander gegenüberliegender Isolierschichten zu zwei Steuerbereichen, und
- 35 - Bildung eines elektrisch leitfähigen Verbindungsbereiches zwischen dem einem Anschlussbereich und dem Substratbereich oder zwischen dem einem Anschlussbereich und einem

zum Substratbereich führenden Bereich des gleichen Leitungstyps wie der Substratbereich.

Auf Grund dieser Verfahrensweise gelten für das Verfahren die
5 oben genannten technischen Wirkungen ebenfalls. Das Verfahren
ist bei einer Weiterbildung besonders einfach, wenn der Verbindungsbereich mit einem Verfahren zum selektiven Aufbringen von Silizid hergestellt wird.

10 Im Folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

- Figur 1 einen integrierten Feldeffekttransistor mit zwei Steuerbereichen,
15
Figur 2 eine Draufsicht auf den Feldeffekttransistor,
Figur 3 eine Schnittdarstellung des Feldeffekttransistors in einer quer zur Kanalrichtung liegenden und einen Substratbereich enthaltenden Schnittebene,
20
Figur 4 eine Schnittdarstellung des Feldeffekttransistors in einer quer zur Kanalrichtung liegenden und einen Sourcebereich enthaltenden Schnittebene,
25
Figur 5 eine Schnittdarstellung des Feldeffekttransistors in einer längs zur Kanalrichtung liegenden und den Substratbereich enthaltenden Schnittebene,
30
Figur 6 eine Schnittdarstellung des Feldeffekttransistors in einer längs zur Kanalrichtung liegenden und einen Steuerbereich enthaltenden Schnittebene,
Figuren 7A bis 12B
35 Herstellungstufen bei der Herstellung des Feldeffekttransistors,

- Figur 13 ein Ausführungsbeispiel des Feldeffekttransistors mit abschnittsweise dotiertem Verbindungsbereich,
- Figur 14 eine Darstellung des Feldverlaufs im Substratbereich des Feldeffekttransistors,
- Figur 15 ein Ausführungsbeispiel mit zwei parallel geschalteten Feldeffekttransistoren und selbstjustierenden Kontaktlöchern,
- Figur 16 ein Ausführungsbeispiel mit drei parallel geschalteten Feldeffekttransistoren und einer polykristallinen Verbindungsleitung, und
- Figur 17 die Verwendung des Feldeffekttransistors in einer Ansteuerschaltung für ein Speicherzellenfeld in einem EEPROM.

Figur 1 zeigt einen integrierten Feldeffekttransistor 10, der sich auf einer Isolierschicht 12 befindet. Die Isolierschicht 12 besteht beispielsweise aus Siliziumdioxid und ist Bestandteil eines Hauptsubstrates, das eine Vielzahl von integrierten Feldeffekttransistoren 10 in einer integrierten Schaltung trägt.

Der Feldeffekttransistor 10 enthält einen quaderförmigen Substratbereich 14, der im Ausführungsbeispiel p-dotiert ist. Bei einem anderen Ausführungsbeispiel ist der Substratbereich 14 n-dotiert, so dass ein p-Kanal-Anreicherungstransistor entsteht.

Der quaderförmige Substratbereich 14 hat eine Höhe, die etwa der halben Kanalweite W des Feldeffekttransistors 10 entspricht. Eine Länge L des quaderförmigen Substratbereiches 14 entspricht einer Kanallänge. Der quaderförmige Substratbereich 14 hat eine Dicke D , die etwa einem Drittel der Länge L entspricht.

An den langen Schmalseiten des quaderförmigen Substratbereiches 14 sind ein Sourcebereich 16 und ein Drainbereich 18 angeordnet, die beide n-dotiert sind. An den einander gegenüberliegenden breiten Seitenflächen des Substratbereiches 14 befinden sich Gatebereiche 20 und 22, die aus dotiertem Polysilizium bestehen und vom Substratbereich 14 durch eine in Figur 1 nicht dargestellte Gateoxidschicht mit einer Dicke von beispielsweise fünfzehn Nanometern getrennt sind. An den Gatebereich 20 bzw. 22 schließt sich ein Polybereich 24 bzw. 26 aus ebenfalls dotiertem polykristallinen Silizium an.

Die kurzen Schmalseiten des Substratbereiches 14 grenzen im Fall der Bodenfläche des quaderförmigen Substratbereiches 14 an die Isolierschicht 12 und im Fall der Deckfläche des Substratbereiches 14 an eine nicht dargestellte Isolierschicht an. Ein Teil der Deckfläche wird von einem Verbindungsbereich 28 bedeckt, der sich weiter über die Deckfläche des Sourcebereiches 16 erstreckt und damit eine elektrisch leitfähige Verbindung zwischen dem Substratbereich 14 und dem Sourcebereich 16 herstellt. Der Verbindungsbereich 28 besteht aus einem Silizid.

Somit ist der Substratbereich 14 vollständig durch den Sourcebereich 16, den Drainbereich 18, den Gatebereich 20, den Gatebereich 22, die Isolierschicht 12 und die nicht dargestellte obere isolierende Schicht sowie durch einen Teil des Verbindungsbereiches 28 umschlossen. Der Feldeffekttransistor 10 wird durch ein Fülloxid 30 eingeschlossen, beispielsweise durch Siliziumdioxid.

Figur 2 zeigt eine Draufsicht auf den Feldeffekttransistor 10. Neben den bereits an Hand der Figur 1 erläuterten Bereichen ist eine Metallleitbahn 50 dargestellt, deren Längsachse sich im rechten Winkel zu einer durch einen Richtungspfeil 52 dargestellten Kanalrichtung erstreckt. Von der Metallleitbahn 50 führen sich durch das Fülloxid 30 erstreckende Verbin-

dungsabschnitte 54 bzw. 56 zu den Polybereichen 24 bzw. 26. Das Fülloxid 30 ist in Figur 2 aus Gründen der besseren Übersichtlichkeit nicht dargestellt.

5 In Figur 2 sind außerdem die Lagen von Schnittebenen III, IV, I und II dargestellt, deren zugehörige Schnittdarstellungen unten an Hand der Figuren 3, 4, 5 und 6 näher erläutert werden. In Figur 2 ist weiterhin ein rechteckförmiges Maskenfenster 58 dargestellt, das den T-förmigen Sourcebereich 16
10 umschließt. Das Maskenfenster 58 dient zum selektiven Erzeugen des Salicides im Verbindungsbereich 28 und auch auf der übrigen Deckfläche des Sourcebereiches 16.

Bei einem anderen Ausführungsbeispiel sind mindestens zwei
15 Feldeffekttransistoren 10 parallel geschaltet. Für diesen Fall ist die in Figur 2 gezeigte Struktur entlang einer gestrichelten Linie 60 nach links zu spiegeln. Das bedeutet unter anderem, dass der Sourcebereich 16 und der Drainbereich 18 nach links zum nächsten Feld des Feldeffekttransistors
20 durchgehend ausgebildet sind. Das Maskenfenster 58 erstreckt sich bei diesem Ausführungsbeispiel über den erweiterten Sourcebereich 16.

Figur 3 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 in der Schnittebene III. Bereiche aus Siliziumdioxid
25 sind in den Figuren mit Geraden schraffiert. Dies betrifft in Figur 3 die Isolierschicht 12, das Fülloxid 30 sowie Gateoxidbereiche 100 und 102.

30 Bereiche aus einkristallinem Silizium sind in den Figuren weiß, siehe beispielsweise den Substratbereich 14 in Figur 3. Polykristalline Bereiche sind mit Kreuzen bedeckt, siehe beispielsweise die Gatebereiche 20 und 22 sowie die Polybereiche 24 und 26 in Figur 3. Bereiche aus Metall sind verti-
35 kal schraffiert, siehe beispielsweise die Metallleitbahn 50, die beispielsweise aus Kupfer oder Aluminium besteht.

11

Bereiche, in denen sich Refraktärmetalle befinden, sind durch Bereiche mit horizontal und vertikal verlaufenden Gitternetzlinien dargestellt, siehe beispielsweise die Verbindungsabschnitte 54 und 56. Bereiche, in denen sich Silizide befinden, sind in den Figuren mit schräg verlaufenden Gitternetzlinien dargestellt. Dies trifft in Figur 3 für den Verbindungsbereich 28 sowie für Salicidbereiche 104 und 106 zu, die sich auf in dem Sourcebereich 16 nahen Bereichen der Gatebereiche 20 und 22 befinden.

Schließlich sind Bereiche, in denen sich im Ausführungsbeispiel ein Bor-Phosphor-Silikatglas (BPSG) befindet, mit gestrichelten Linien schraffiert, siehe beispielsweise einen Isolierbereich 110 zwischen der Metallleitbahn 50 und dem Füllbereich 30.

Figur 4 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 entlang der Schnittebene IV. Wie in Figur 4 zu erkennen ist, erstreckt sich das Oxid der Gateoxidbereiche 100 bzw. 102 auch entlang des Sourcebereiches 16. In der Schnittebene IV ist die Silikatglasschicht 110 mit einem Intermetall-dielektrikum 150 belegt, das im Ausführungsbeispiel aus Siliziumdioxid besteht. Bereiche neben dem Verbindungsbereich 28 sind in der Schnittebene IV nicht mit Silizid bedeckt, da sich in der Schnittebene IV auf der Höhe des Verbindungsbereiches 28 an das Gateoxid 100 bzw. 102 Siliziumdioxid des Füllbereiches 30 anschließt.

Figur 5 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 entlang des Schnittes I. In Figur 5 sind außerdem eine x-Komponente 170 des elektrischen Feldes und eine y-Komponente 172 des elektrischen Feldes im Substratbereich 14 dargestellt. Die x-Komponente 170 zeigt vom Drainbereich 18 zum Sourcebereich 16. Die y-Komponente 172 zeigt in die Zeichenebene hinein vom Gatebereich 20 zum Gatebereich 22.

12

Figur 6 zeigt eine Schnittdarstellung des Feldeffekttransistors 10 in der Schnittebene II. Gut zu erkennen ist, dass sich der Verbindungsbereich 28 auch oberhalb desjenigen Bereiches des Sourcebereiches 16 befindet, der nicht direkt zum Substratbereich 14 führt.

Figuren 7A und 7B zeigen eine erste Herstellungsstufe bei der Herstellung des Feldeffekttransistors 10. Die Herstellung beginnt ausgehend von einem SOI-Substrat (Silicon On Insulator), bei dem eine sich auf der Isolierschicht 12 befindende Siliziumschicht im Ausführungsbeispiel eine Dicke von einhundert Nanometern hat und bereits p-dotiert ist. Auf der Siliziumschicht wird eine sogenannte Hartmaske aus Siliziumnitrid 200 hergestellt. Dazu wird das Siliziumnitrid 200 ganzflächig erzeugt. Die Schicht aus Siliziumnitrid 200 wird dann mit Hilfe eines fotolithografischen Verfahrens strukturiert und oberhalb der Bereiche, in denen sich später der Füllbereich 30 befindet, geöffnet. Anschließend wird ein reaktives Ionätzen durchgeführt, das auf der Isolierschicht 12 stoppt. Auf der Isolierschicht 12 verbleiben der Substratbereich 14, siehe Schnitt III, und der Sourcebereich 16, siehe Schnitt IV, sowie der Drainbereich 18.

Wie in den Figuren 8A und 8B für den Schnitt III bzw. den Schnitt IV dargestellt, werden anschließend die Gateoxidbereiche 100 und 102 hergestellt, beispielsweise mit Hilfe einer thermischen Oxidation. Das Oxid der Gateoxidbereiche 100 bzw. 102 erstreckt sich nicht nur am Substratbereiches 14 entlang, sondern auch am Sourcebereich 16 bzw. am Drainbereich 18 entlang.

Anschließend wird eine Schicht aus polykristallinem Silizium abgeschieden und mit Hilfe eines fotolithografischen Verfahrens strukturiert. Beim Strukturieren werden die Gatebereiche 20 und 22 und die Polybereiche 24 und 26 erzeugt, siehe Schnitt III. Im Bereich des Schnittes IV wird dagegen das Polysilizium bei der Strukturierung wieder entfernt.

- Nach dem Strukturieren des Polysiliziums wird eine Schrägimplantation von LDD-Bereichen (Lightly Doped Drain) durchgeführt. Anschließend werden der Sourcebereich 16 und der Drainbereich 18 mit Hilfe einer Ionenimplantation dotiert, z.B. stark n-dotiert, d.h. n^+ . Gleichzeitig werden die polykristallinen Gatebereiche 20 und 22 und die Polybereiche 24 und 26 dotiert.
- Wie in den Figuren 9A und 9B dargestellt, wird nach dem Implantieren im Füllbereich 30 Siliziumdioxid abgeschieden. Damit sind die Zwischenräume zwischen verschiedenen Substratbereichen 14 und verschiedenen Drainbereichen 16 bzw. 18 ausgefüllt. Nach dem Füllen der Füllbereiche 30 wird ein chemisch-mechanisches Polierverfahren (CMP) durchgeführt, das auf dem Siliziumnitrid 200 stoppt. Durch das CMP-Verfahren wird wieder eine ebene Oberfläche erzeugt.
- Anschließend wird mit Hilfe eines Trockenätzprozesses das polykristalline Silizium etwas zurückgeätzt, bis es die gleiche Höhe wie der Substratbereich 14 hat. Durch diesen Rückätzschritt wird für das folgende Aufbringen der Silizidschicht im Bereich des Substratbereiches 14 ein gleiches Höhenniveau geschaffen.
- Wie in den Figuren 10A und 10B gezeigt, wird danach das Siliziumnitrid 200 oberhalb des Sourcebereiches 16 und oberhalb des Bereiches des Substratbereiches 14 entfernt, über dem später der Verbindungsabschnitt 28 angeordnet wird. Dafür wird eine Fotolackschicht aufgebracht und mit Hilfe eines fotolithografischen Verfahrens strukturiert, wobei das in Figur 2 dargestellte Maskenfenster 58 oberhalb des Sourcebereiches 16 und auch oberhalb des sourceseitigen Polybereiches 20 bis 26 entsteht. Innerhalb des Maskenfensters 58 wird danach das Siliziumnitrid 200 entfernt. Danach wird die das Maskenfenster 58 enthaltene Fotolackschicht entfernt.

14

Anschließend wird ganzflächig bspw. Nickel aufgebracht, das bei einem Temperschritt bei bspw. 500 Grad Celsius eine Silizidverbindung oberhalb von Bereichen bildet, die aus Silizium bestehen, d.h. oberhalb des Substratbereiches 14, des Sourcebereiches 16, des Gatebereiches 20 und des Gatebereiches 22. Es entstehen der Verbindungsbereich 28 auf dem freiliegenden Teil des Substratbereiches 14 und die Silizidbereiche 104 und 106 auf den Gatebereichen 20 bzw. 22.

10 Anschließend wird das Nickel in Bereichen entfernt, in denen sich kein Silizid gebildet hat. Beispielsweise wird das Nickel mit einem nasschemischen Ätzprozess entfernt.

Wie in den Figuren 11A und 11B dargestellt, wird anschließend das Silikatglas 110 ganzflächig aufgebracht. Beispielsweise wird das Silikatglas 110 aufgeschleudert.

Wie in den Figuren 12A und 12B dargestellt, werden danach die Verbindungsabschnitte 54 und 56 hergestellt. Dazu wird ein fotolithografisches Verfahren ausgeführt, um im Silikatglas 110 Kontaktlöcher zu erzeugen, welche die Verbindungsabschnitte 54 und 56 aufnehmen sollen. Die Kontaktlöcher werden dann z.B. mit Wolfram gefüllt, um die Verbindungsabschnitte 54 und 56 zu bilden. Wie in Figur 12A gezeigt, werden die Kontaktlöcher so erzeugt, dass zwischen dem Verbindungsabschnitt 54 und dem Gatebereich 20 Füllmaterial 30 verbleibt. Auch zwischen dem Verbindungsabschnitt 56 und dem Gatebereich 22 verbleibt Füllmaterial 30.

30 Danach wird die Metallleitbahn 50 erzeugt, die zu den Verbindungsabschnitten 54 und 56 führt. Beispielsweise enthält die Metallleitbahn 50 als Hauptbestandteil Aluminium. In diesem Fall wird Aluminium ganzflächig aufgebracht und anschließend mit Hilfe eines fotolithografischen Verfahrens strukturiert. 35 Dabei wird die Metallschicht u.a. oberhalb des Silikatglases 110 entlang der Schnittebene IV wieder entfernt.

15

Figur 13 zeigt ein Ausführungsbeispiel eines Feldeffekttransistors 10a entlang eines Schnittes Ia, dessen Lage der Lage des Schnittes I entspricht. Der Feldeffekttransistor 10a enthält wie der Feldeffekttransistor 10 eine Isolierschicht 12a, einen Substratbereich 14a, einen Sourcebereich 16a, einen Drainbereich 18a und einen Verbindungsbereich 28a. Der Feldeffekttransistor 10a ist von einem Silikatglas 110a bedeckt, z.B. von Bor-Phosphor-Silikatglas (BPSG), das zur Isolierung von einer Metallleitbahn 50a dient.

Im Gegensatz zum Feldeffekttransistor 10 liegt der Verbindungsbereich 28a quer zu einem sich beim Betrieb des Feldeffekttransistors 10a ausbildenden Kanal. Der Sourcebereich 16a ist nur etwa halb so tief wie der Sourcebereich 16. Zwischen dem Sourcebereich 16a und dem Isolierbereich 12a befindet sich ein p-dotierter Bereich 230, d.h. ein Bereich mit einer Dotierung des gleichen Leitungstyps wie der Substratbereich 14a. Der Verbindungsbereich 28a verbindet den Sourcebereich 16a und den Bereich 230. Der Substratbereich 14a ist damit über den Bereich 230 mit dem Verbindungsbereich 28a verbunden.

Der Verbindungsbereich 28a lässt sich wiederum mit Siliziden unter Verwendung der Salicide-Technik herstellen. Jedoch werden bei einem anderen Ausführungsbeispiel Metalle zur Herstellung des Verbindungsbereiches 28a verwendet.

Bei einem anderen Ausführungsbeispiel sind der Sourcebereich 16a und der Bereich 230 vertauscht. Nur der Bereich 230 wird in diesem Fall mit einem Kontakt kontaktiert.

Bei einem weiteren Ausführungsbeispiel des in Figur 13 dargestellten Transistors wird das polykristalline Silizium oberhalb des Substratbereiches 16a nicht entfernt, so dass den Gatebereichen 20, 22 entsprechende Gatebereiche über das dotierte polykristalline Silizium elektrisch leitend miteinander verbunden sind.

Figur 14 zeigt eine Darstellung des Feldverlaufes im Substratbereich 14 bzw. auch im Substratbereich 14a. Es sei angenommen, dass der Sourcebereich 16, der Gatebereich 20 und der Gatebereich 22 auf ein Potential von null Volt gelegt werden. Der Drainbereich 18 wird auf ein Potential von zehn Volt gelegt. Für diese Potentialverteilung bilden sich die in Figur 14 dargestellten Feldlinien 240 aus.

- 10 Auf Grund der Verwendung der SOI-Technik und auf Grund des Anschlusses des Substrates 14 ergeben sich für den sogenannten GIDL (Gate Induced Drain Leakage) die folgenden Verhältnisse:
- 15 - ohne Verwendung von zwei Gatebereichen 20, 22 enden fast alle Feldlinien auf einer Gateseite. Bei der Verwendung von zwei Gatebereichen 20 bis 22 ergibt sich eine geringere Feldliniendichte, die zu einer verbesserten Durchbruch-Festigkeit des Feldeffekttransistors 10 führt.
 - 20 - Außerdem wird die in x-Richtung gerichtete Feldkomponente 170 kleiner, so dass auch deshalb die Durchbruchsspannung steigt.
 - 25 - Quer zur Komponente 170 gerichtete y-Komponenten lenken die Ladungsträger zum Gateoxidbereich 100 bzw. 102. Dadurch treffen die meisten Ladungsträger auf den Gatebereich 20, 22 auf, bevor sie eine lawinenartige Stoßionisation verursachen. Der gate-gesteuerte Durchbruch wird reduziert, weil die Elektron/Loch-Erzeugung durch Stoßionisation stark reduziert ist. Die meisten Ladungsträger werden auf Grund der gekrümmten Feldlinien zum Gateoxid 100 bzw. 102 abgelenkt, bevor sie genügend Energie für eine Stoßionisation aufnehmen können. Das bedeutet mit anderen Worten, dass die mittlere freie Weglänge bis zu einer Stoßionisation größer als der Weg zum Gateoxid 100 bzw. 102 ist. Für lange Wegstrecken einiger weniger Ladungsträger bis zum Gateoxid 100 bzw. 102 geben die Ladungsträger dagegen Energie durch Phononenstreuung ab, so dass sie ebenfalls nicht ausreichend Energie für eine
 - 30
 - 35

17

Stoßionisation aufnehmen können. Auf Grund der geringen Anzahl von Ladungsträgern mit langen Wegstrecken kann das Substrat die durch die Phononenstreuung entstehende Energie aufnehmen ohne dass es zu einer Stoßionisation kommt. 5
Somit können auch Spannungen größer als fünf Volt und sogar größer als neun Volt geschaltet werden.

Die längsten Abstände zwischen Substratbereich 14 bzw. 14a und Verbindungsabschnitt 28 bzw. Bereich 230 sind so kurz 10
gewählt, dass die generierten Ladungsträger sehr schnell zum Verbindungsabschnitt 28 bzw. zum Bereich 230 driften können und so eine Überflutung des Substrates 14 bzw. 14a mit Ladungsträgern verhindert wird. Durch die genannten Maßnahmen werden die Hochspannungseigenschaften des Feldeffekttransistors 10 bzw. 10a im Vergleich zu bekannten Feldeffekttransistoren 15
erheblich verbessert.

Figur 15 zeigt ein Ausführungsbeispiel mit zwei parallel geschalteten Feldeffekttransistoren 250 und 252, die im Wesentlichen jeweils wie der Feldeffekttransistor 10 aufgebaut 20
sind. Figur 15 zeigt die Feldeffekttransistoren 250 und 252 entlang eines Schnittes IIIa, dessen Lage der Lage des Schnittes III entspricht.

25 Jedoch wurden Kontaktlöcher für Verbindungsabschnitte 254, 256 und 258 selbstjustierend zum Polysilizium der Gatebereiche und Polybereiche hergestellt. Das bedeutet, dass zwischen den Verbindungsabschnitten 254, 256 und 258 und dem polykristallinen Silizium kein Füllmaterial 30 verbleibt.

30
Figur 16 zeigt ein Ausführungsbeispiel mit drei parallel geschalteten Feldeffekttransistoren 270, 272 und 274, die im Wesentlichen jeweils wie der Feldeffekttransistor 10 aufgebaut sind. Figur 16 zeigt die Feldeffekttransistoren 270 bis 35
274 entlang eines Schnittes IIIb, dessen Lage der Lage des Schnittes III entspricht.

Zwischen den einzelnen Gatebereichen der Feldeffekttransistoren 270, 272 und 274 befinden sich weder Füllmaterial 30 noch Verbindungsabschnitte sondern nur polykristallines Silizium. Jedoch befinden sich oberhalb der Substratbereiche der Feldeffekttransistoren 270 bis 274 Füllbereiche 280, 282 bzw. 284 aus Siliziumdioxid. Die Füllbereiche 280 bis 284 sind so strukturiert, dass darüberliegendes polykristallines Silizium 290 die polykristallinen Bereiche zwischen den Feldeffekttransistoren 270 bis 274 und an den Rändern der Feldeffekttransistoren 270 bis 274 verbindet.

Figur 17 zeigt den Einsatz von vier Feldeffekttransistoren 320 bis 326, die wie der Feldeffekttransistor 10 aufgebaut sind, als Ansteuertransistoren für ein Speicherzellenfeld 330 in einem EEPROM. Die Feldeffekttransistoren 320 bis 326 sind Bestandteil einer Ansteuereinheit 332, die von dem Speicherzellenfeld 330 in Figur 17 durch eine gestrichelte Linie 334 getrennt ist. Die Ansteuereinheit 332 steuert das Speicherzellenfeld 330 beispielsweise nach dem sogenannten NOR-Verfahren oder nach dem NAND-Verfahren an.

Die Feldeffekttransistoren 320 bis 326 wurden mit einem Verfahren hergestellt, wie es oben an Hand der Figuren 7A bis 12B erläutert worden ist. Anschlüsse 340, 342, 344 und 346 der Feldeffekttransistoren 320, 322, 324 bzw. 326 liegen in dieser Reihenfolge auf Potentialen von plus zehn Volt, plus sechzehn Volt, minus zehn Volt bzw. plus zehn Volt. Gate-Anschlüsse 350 bis 356 der Feldeffekttransistoren 320 bis 326 werden durch eine nicht dargestellte Steuereinheit angesteuert, um Speicherzellen des Speicherzellenfeldes 330 u.a. gemäß einem Programmierverfahren bzw. gemäß einem Lösungsverfahren anzusteuern. Die Ansteuerverfahren sind jedoch nicht Gegenstand der vorliegenden Anmeldung und werden deshalb nicht näher erläutert.

In Figur 17 ist außerdem eine Prinzipschaltung für eine Speicherzelle 360 des Speicherzellenfeldes 330 angegeben. Weitere

Speicherzellen 362 einer Speichermatrix sind durch Pfeile angedeutet. Die anderen Speicherzellen des Speicherzellenfeldes 330 sind wie die Speicherzelle 360 aufgebaut.

- 5 Die Speicherzelle 360 enthält einen Speichertransistor 364 und einen Auswahltransistor 366. Der Speichertransistor 364 ist ein Feldeffekttransistor mit einer ladungsspeichernden Zwischenschicht 368 zwischen einem Gate-Anschluss 370 und einem Kanalbereich. Der Gate-Anschluss 370 ist mit einer
10 Wortleitung 372 verbunden, die zu einem Anschluss 374 des Transistors 324 und zu einem Anschluss 376 des Transistors 326 führt. An der Wortleitung 372 liegt beim Programmieren eine Spannung von minus zehn Volt und beim Löschen eine Spannung von plus zehn Volt an. Ein Anschluss 378 des Transistors
15 364 führt zu einer Hilfsleitung 380, deren Potential auf das Programmieren und Löschen der Speicherzelle 360 keinen Einfluss hat. Ein Anschluss 382 des Transistors 364 ist mit einem Anschluss 384 des Feldeffekttransistors 366 verbunden. Ein Gate-Anschluss 386 des Auswahltransistors 366 führt zu
20 einer weiteren Wortleitung 388, die mit einem Anschluss 390 des Transistors 320 und mit einem Anschluss 392 des Feldeffekttransistors 322 verbunden ist. An der Wortleitung 388 liegt beim Programmieren eine Spannung von plus zehn Volt und beim Löschen eine Spannung von plus sechzehn Volt an.
- 25 Ein Anschluss 394 des Feldeffekttransistors 366 wird mit einer Bitleitung 396 verbunden, an die durch die Ansteuereinheit 332 beim Programmieren eine Spannung von sechs Volt und beim Löschen der Speicherzelle 360 eine Spannung von null
30 Volt angelegt wird.

Die an Hand der Figur 17 erläuterten Speicherzellen sind Speicherzellen eines EEPROM. Bei sogenannten Flash-Speicherbausteinen gibt es in einer Speicherzelle 360 nur
35 einen Speichertransistor. Ein Auswahltransistor 366 ist nicht erforderlich. Bei einem anderen Ausführungsbeispiel sind der Speichertransistor 364 und der Ansteuertransistor 366 in

einem Transistor realisiert, d.h. in einem sogenannten split-gate-Transistor.

Allen genannten Speicherzellstrukturen ist jedoch gemeinsam,
5 dass betragsmäßig vergleichsweise hohe Löschspannungen und Programmierspannungen erforderlich sind, die mit Hilfe der erfindungsgemäßen Feldeffekttransistoren 320 bis 326 erzeugt werden. Durch die Verwendung der Feldeffekttransistoren 320 bis 326 lässt sich die Ansteuereinheit 332 mit zunehmendem
10 Integrationsgrad auf gleiche Weise verkleinern, wie das Speicherzellenfeld 330.

Es werden sowohl N-Kanal-Feldeffekttransistoren als auch P-Kanal-Feldeffekttransistoren hergestellt. Außerdem lassen
15 sich beliebig viele Feldeffekttransistoren mit jeweils zwei Steuerbereichen parallel schalten. Die Stromergiebigkeit steigt mit der Anzahl der parallel geschalteten Transistoren. Bei herkömmlichen Transistoren wird dies durch eine größere Weite des Kanals erzielt.

20

Die Einsatzspannung V_t der Feldeffekttransistoren kann durch die Dotierung im Kanal und über die Dicke D des Siliziums zwischen den beiden Gatebereichen eingestellt werden. Bei den oben erläuterten Transistoren ist die Einstellung der
25 Einsatzspannung unproblematisch, weil die Einsatzspannung V_t nicht über die Gateoxiddicke, die Austrittsarbeit des Gatematerials oder die SOI-Oxiddicke vorgegeben werden muss.

Die Stromergiebigkeit der erläuterten Transistoren wird auch
30 durch die Höhe der Siliziumschicht vorgegeben. Rein rechnerisch ist die Kanalweite W eines Transistors gleich der doppelten Siliziumhöhe. Da Doppel-Gate-Transistoren jedoch eine wesentlich bessere Stromergiebigkeit haben, z.B. um den Faktor Zwei höher als planare Transistoren, kann die benötigte
35 Anzahl von parallel geschalteten Transistoren deutlich kleiner sein, als es sich aus rein geometrischen Überlegungen

ergeben würde. Für die meisten Anwendungen sind deshalb Einzeltransistoren ausreichend.

Bei einem anderen Ausführungsbeispiel gibt es zusätzlich zum Maskenfenster 58 auch ein Maskenfenster zum Silizidieren des Drainbereiches 18. Der Sourcebereich 16 und der Drainbereich 18 werden an ihrer Deckfläche möglichst vollständig mit Silizid bedeckt, um den Kontaktwiderstand und den Schichtwiderstand zu verringern.

10

Bei allen erläuterten Ausführungsbeispielen werden die Sourcebereiche 16 und die Drainbereiche 18 selbstverständlich ebenfalls kontaktiert, bspw. mit Wolframkontakten, die sich durch das Silikatglas 110 erstrecken und die in Metallisierungslagen mit Leitbahnen elektrisch leitfähig verbunden sind.

15

Patentansprüche

1. Integrierter Feldeffekttransistor (10),
- 5 mit einem Substratbereich (14), der umgeben ist:
- von zwei Anschlussbereichen (16, 18),
- von zwei an einander gegenüberliegenden Seiten des Substrat-
- 10 bereiches (14) angeordneten elektrisch isolierenden Isolier-
- schichten (100, 102), an denen Steuerbereiche (20, 22) an-
- grenzen,
- von mindestens einem elektrisch isolierenden Bereich (12,
- 15 110),
- und von einem elektrisch leitfähigen Verbindungsbereich (28)
- oder einem Teil (230) eines elektrisch leitfähigen Verbin-
- 20 dungsbereiches zwischen dem einem Anschlussbereich (16) und
- dem Substratbereich (14).
2. Feldeffekttransistor (10) nach Anspruch 1, d a d u r c h
- g e k e n n z e i c h n e t , dass der leitfähige Verbindungsbe-
- reich (28) eine Metall-Halbleiter-Verbindung enthält oder aus
- 25 einer Metall-Halbleiter-Verbindung besteht, vorzugsweise aus
- einem Silizid eines Metalls mit einer Schmelztemperatur grö-
- ßer als 1400 Grad Celsius und/oder einem Refraktärmetallsili-
- zid oder einem Seltenerdmetallsilizid,
- 30 und/oder dass der leitfähige Verbindungsbereich (230) einkri-
- stallines Silizium enthält oder aus einkristallinem Silizium
- besteht, wobei das Silizium vorzugsweise dotiert ist,
- und/oder dass der leitfähige Verbindungsbereich (230) poly-
- 35 kristallines Silizium enthält oder aus polykristallinem Sili-
- zium besteht, wobei das polykristalline Silizium vorzugsweise
- dotiert ist,

und/oder dass der leitfähige Verbindungsbereich (28) ein Metall enthält oder aus einem Metall besteht.

- 5 3. Feldeffekttransistor (10) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Isolierschichten (100, 102) zum Isolieren der Steuerbereiche (20, 22) vom Substratbereich (14) eine Isolierstärke von mindestens fünfzehn Nanometern oder mindestens zwanzig Nanometern haben,

10 und/oder dass der Abstand zwischen den Anschlussbereichen (16, 18) mindestens 0,3 Mikrometer oder mindestens 0,4 Mikrometer beträgt,

- 15 und/oder dass ein Anschlussbereich (16) oder beide Anschlussbereiche (16, 18) einen flachen Dotierprofilgradienten haben, welcher eine Schaltspannung mit einem Betrag größer als fünf Volt oder größer als neun Volt oder größer als fünfzehn Volt, jedoch vorzugsweise kleiner als dreißig Volt oder kleiner als
20 zwanzig Volt zulässt.

4. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass ein Isolierbereich (12) Bestandteil einer Isolierschicht ist, die
25 eine Vielzahl von Feldeffekttransistoren (10) trägt,

und/oder dass die Isolierschicht Siliziumdioxid enthält oder aus Siliziumdioxid besteht,

- 30 und/oder dass der andere Isolierbereich (110) Teil einer Isolierschicht (110) ist, die eine Vielzahl von Substratbereichen (14) isoliert, vorzugsweise eine Silikatglasschicht.

5. Feldeffekttransistor (10) nach einem der vorhergehenden
35 Ansprüche, dadurch gekennzeichnet, dass der Substratbereich (14) ein vorzugsweise einkristallines Halbleitermaterial enthält und/oder gemäß einem Leitungstyp do-

tiert ist und dass die Anschlussbereiche (16, 18) gemäß dem anderen Leitungstyp dotiert sind.

5 6. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Steuerbereiche (20, 22) elektrisch leitfähig miteinander verbunden sind.

10 7. Feldeffekttransistor (10) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Substratbereich (14) sechs Seitenflächen enthält oder dass der Substratbereich (14) sechs Seitenflächen hat,

15 und/oder dass die Anschlussbereiche (16, 18) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind,

20 und/oder dass die Steuerbereiche (20, 22) an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind,

und/oder dass die Isolierbereiche an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordnet sind.

25 8. Verwendung eines Feldeffekttransistors (10) mit zwei Steuerbereichen (20, 22), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche,

30 zum Schalten von Spannungen mit einem Betrag größer als fünf Volt oder größer als neun Volt oder größer als fünfzehn Volt, vorzugsweise jedoch kleiner als dreißig Volt.

35 9. Verwendung eines Feldeffekttransistors mit zwei Steuerbereichen (20, 22), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche, als Ansteuertransistor an einer Wortleitung (372, 388) oder einer Bitlei-

25

tung (396) eines Speicherzellenfeldes (330), insbesondere eines Flash-Speichers oder eines EEPROM-Speichers,

5 wobei der Ansteuertransistor vorzugsweise eine Steuerspannung an die Wortleitung (372, 388) oder an die Bitleitung (396) anlegt.

10 10. Verfahren zum Herstellen eines Feldeffekttransistors (10), insbesondere eines Feldeffekttransistors (10) nach einem der vorhergehenden Ansprüche,

mit den ohne Beschränkung durch die angegebene Reihenfolge ausgeführten Verfahrensschritten:

15 15 Bildung eines Substratbereiches (14),

Bildung zweier Anschlussbereiche (16, 18) am Substratbereich (14),

20 20 Bildung zweier an einander gegenüberliegenden Seiten des Substratbereiches (14) angeordneter elektrisch isolierender Isolierschichten (100, 102), an denen Steuerbereiche (20, 22) angrenzen,

25 25 und Bildung eines elektrisch leitfähigen Verbindungsbereiches (28; 28a, 230), der den einen Anschlussbereich (16) und den Substratbereich (14) elektrisch leitfähig verbindet.

30 11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Anschlussbereiche (16, 18) und/oder der Substratbereich (14) auf Siliziumbasis aufgebaut ist,

und/oder dass der Verbindungsbereich (28) eine Metall-Halbleiter-Verbindung enthält, insbesondere ein Silizid, oder
35 35 aus einer Metall-Halbleiter-Verbindung besteht, insbesondere aus Silizid,

26

und/oder dass der Verbindungsbereich mit einem selbstjustierenden Verfahren erzeugt wird, bei dem ein Metall, insbesondere ein Metall mit einer Schmelztemperatur größer 1400 Grad Celsius und/oder ein Refraktärmetall, abgeschieden wird, das
5 an Halbleiterbereichen eine Metall-Halbleiter-Verbindung bildet, insbesondere an siliziumbasierten Bereichen ein Silizid,

und/oder bei dem das Metall in Bereichen entfernt wird, in
10 denen Metall-Halbleiter-Verbindung gebildet worden ist, insbesondere kein Silizid.

12. Verfahren nach Anspruch 10 oder 11, gekennzeichnet durch die Schritte:

15 Bereitstellen eines SOI-Substrats (12),

Strukturieren des Siliziums des SOI-Substrats, wobei Bereiche stehen bleiben, in denen der Substratbereich (14) und die
20 Anschlussbereiche (16, 18) angeordnet werden sollen,

Bildung der Steuerbereiche (20, 22) nach dem Strukturieren,

und/oder Auffüllen von freien Bereichen zwischen den stehen
25 gebliebenen Bereichen mit einem elektrisch isolierenden Material (30).

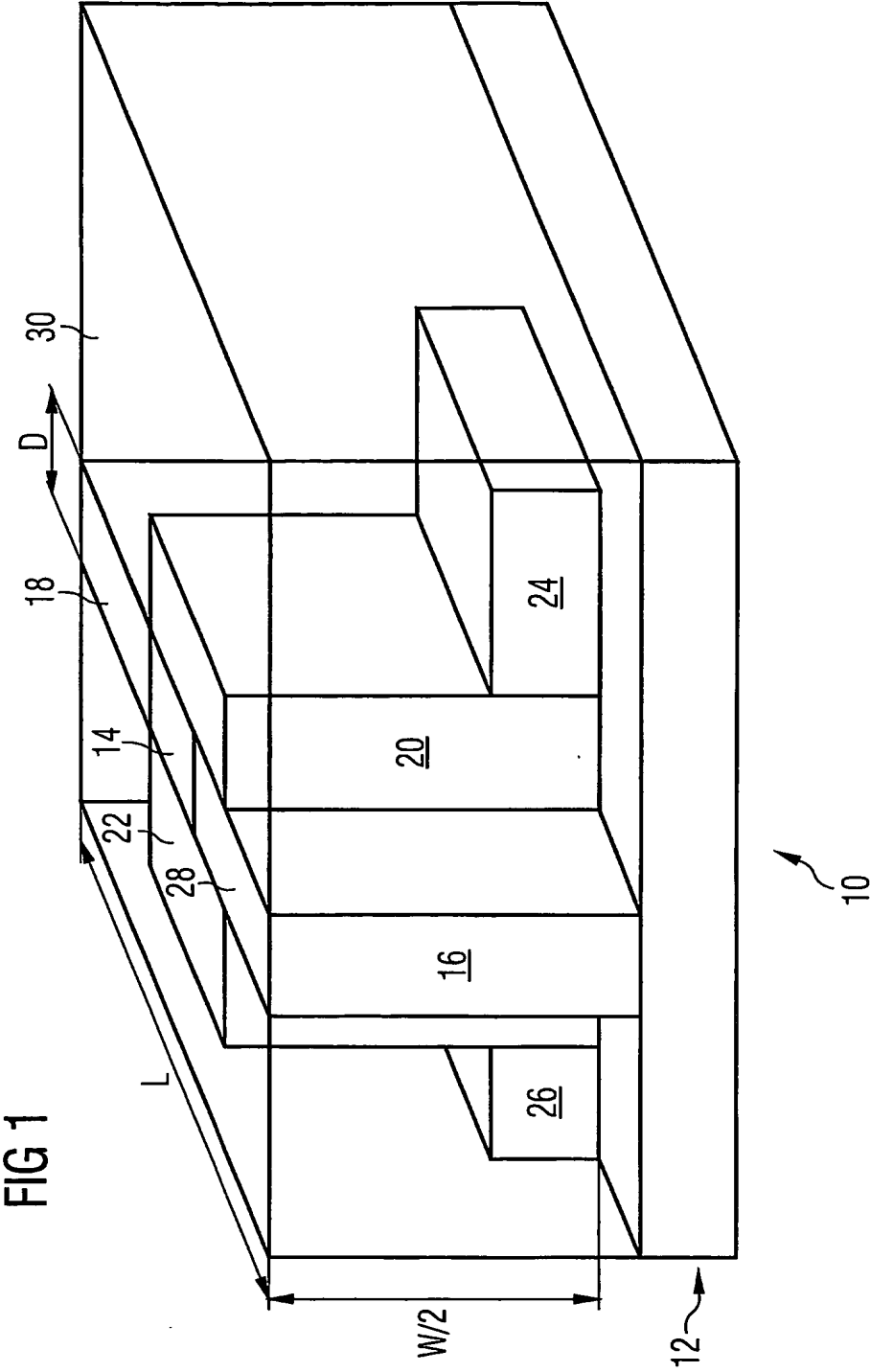
13. Verfahren nach einem der Ansprüche 10 bis 12, gekennzeichnet durch den Schritt:

30 Einebnen der Oberfläche, vorzugsweise durch chemisch-mechanisches Polieren, nach dem Auffüllen und/oder nach der Bildung der Steuerbereiche (20, 22).

35 14. Verfahren nach Anspruch 13, gekennzeichnet durch die Schritte:

Rückätzen der Steuerbereiche nach dem Polieren,

und/oder Ausführen eines selbstjustierenden Verfahrens zur
Bildung einer Metall-Halbleiter-Verbindung, insbesondere
5 eines Salicid-Verfahrens, wobei in den rückgeätzten Bereichen
und/oder auf dem Substratbereich (14) und/oder auf einem
Anschlussbereich (16) eine Metall-Halbleiter-Verbindung er-
zeugt wird, insbesondere eine Silizidschicht.



2/10

FIG 2

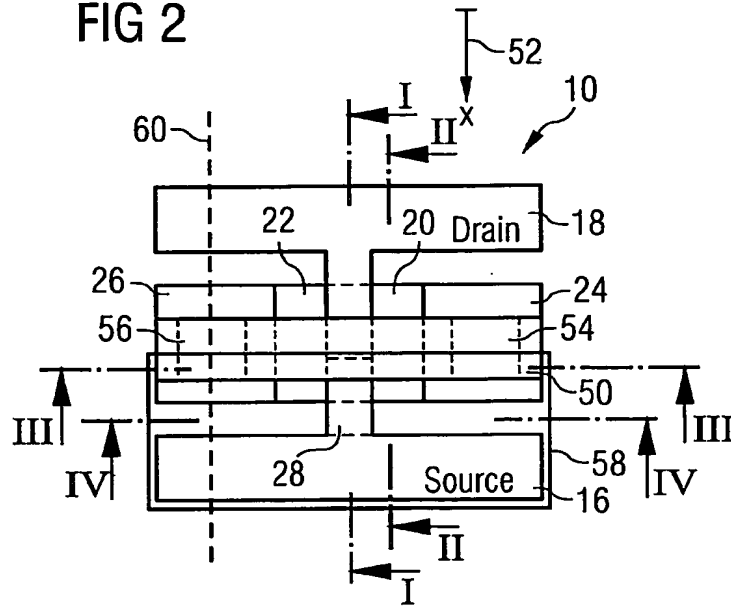


FIG 3 Schnitt III-III

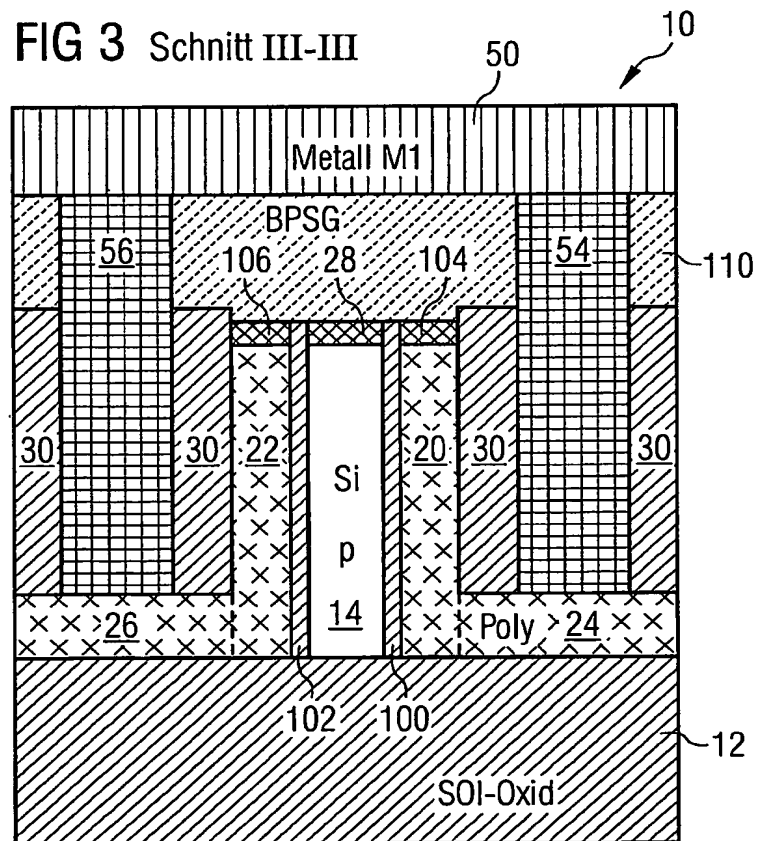


FIG 4 Schnitt IV-IV

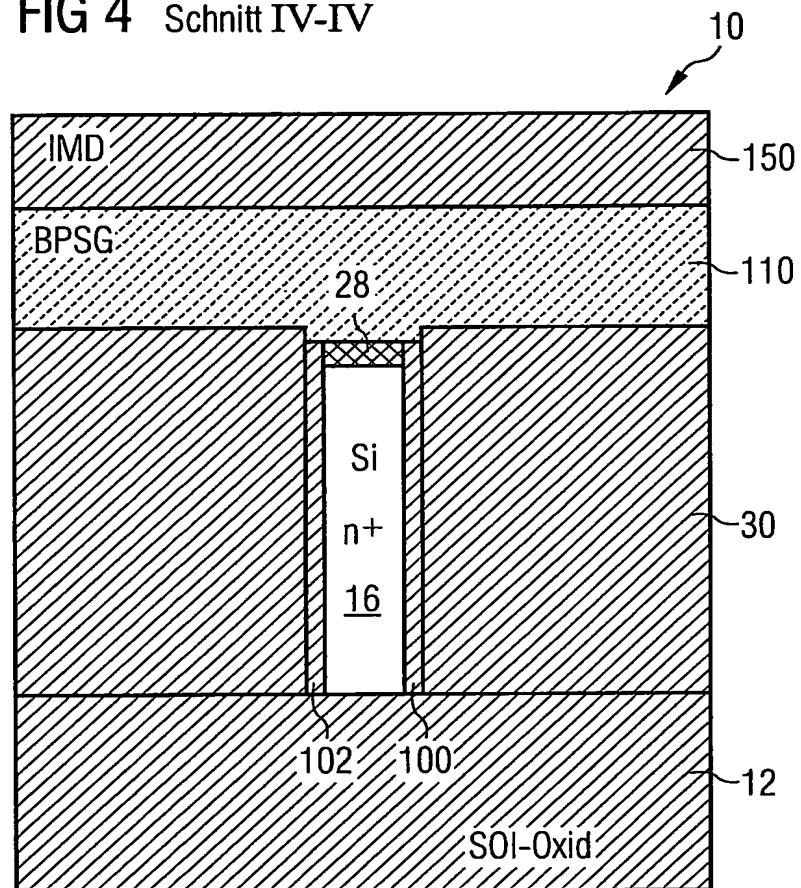


FIG 5 Schnitt I-I

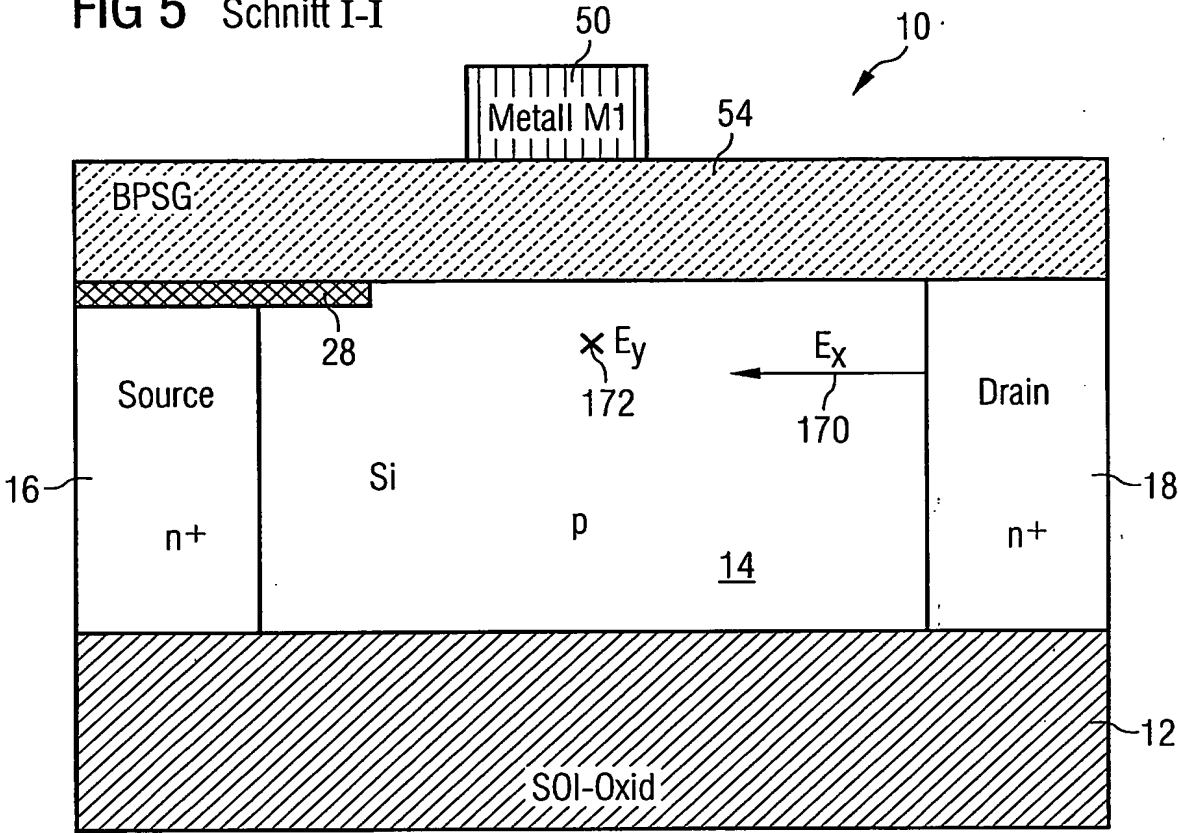


FIG 6 Schnitt II-II

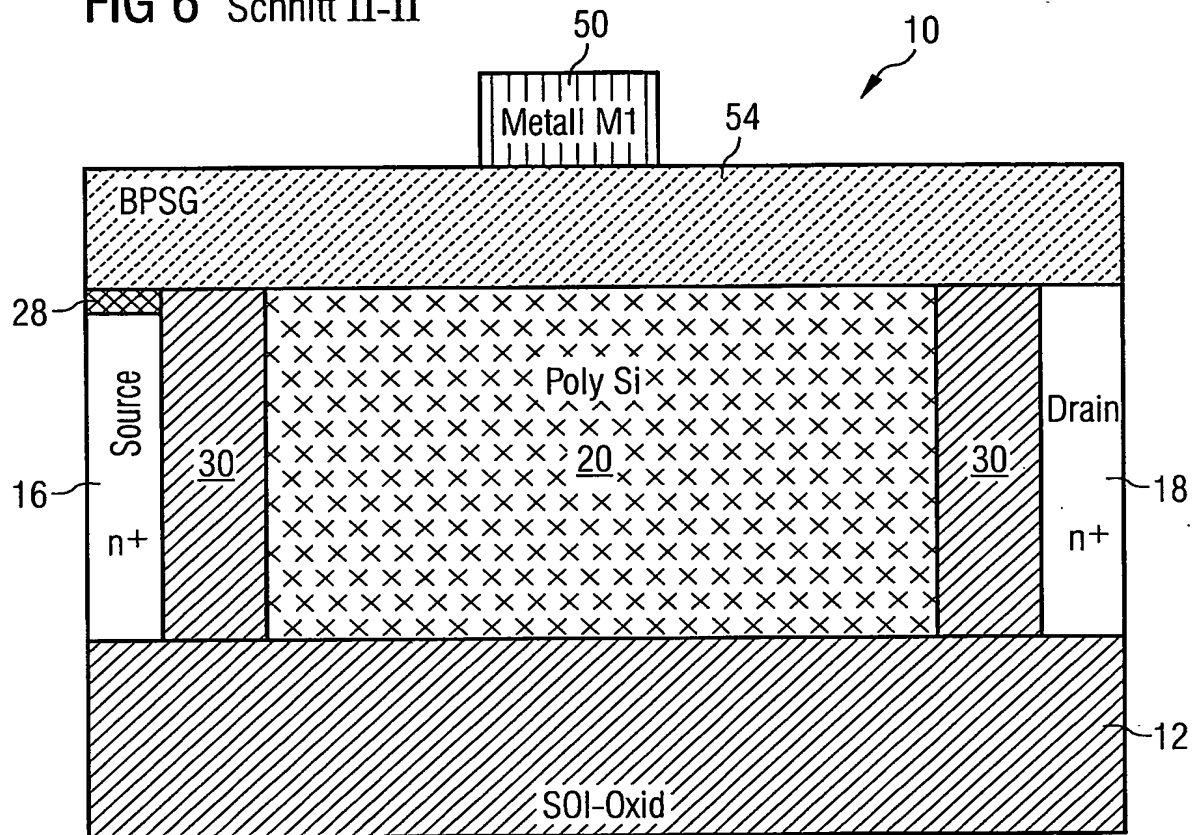


FIG 7A Schnitt III-III

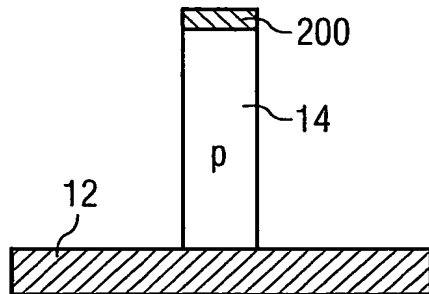


FIG 7B Schnitt IV-IV

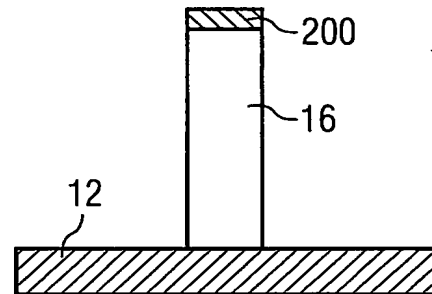


FIG 8A Schnitt III-III

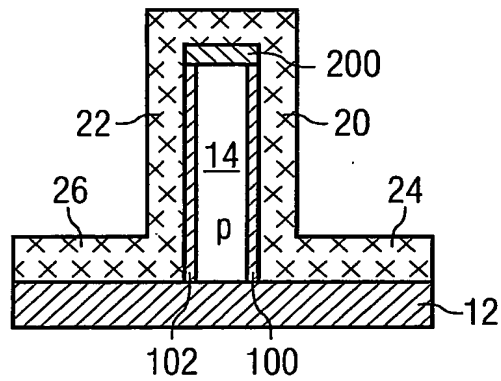


FIG 8B Schnitt IV-IV

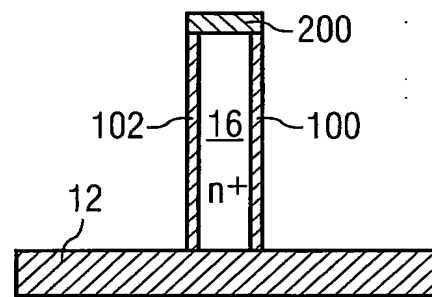


FIG 9A Schnitt III-III

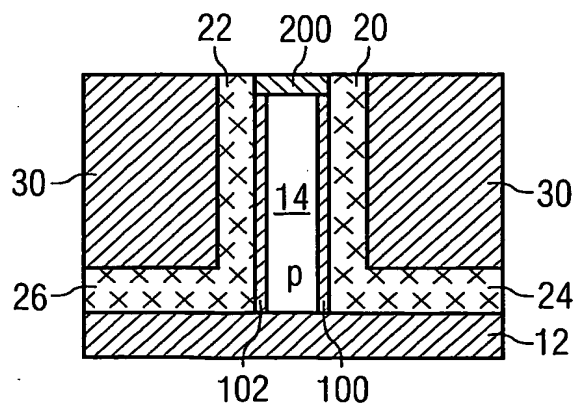


FIG 9B Schnitt IV-IV

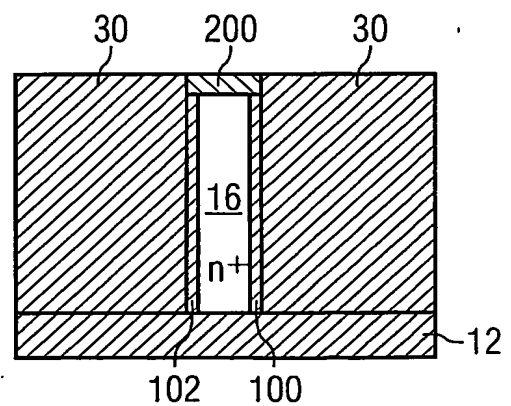


FIG 10A Schnitt III-III

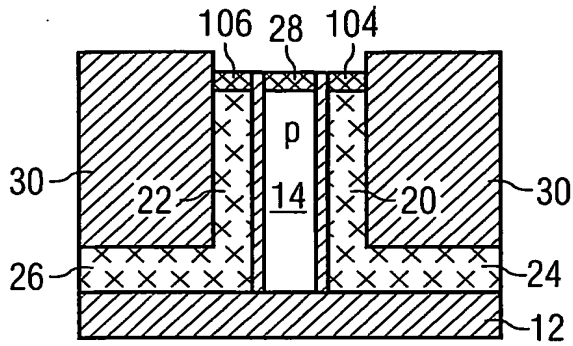


FIG 10B Schnitt IV-IV

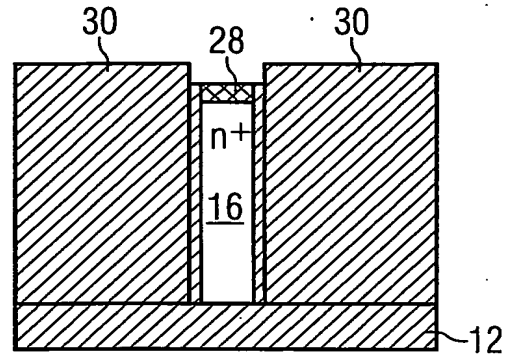


FIG 11A Schnitt III-III

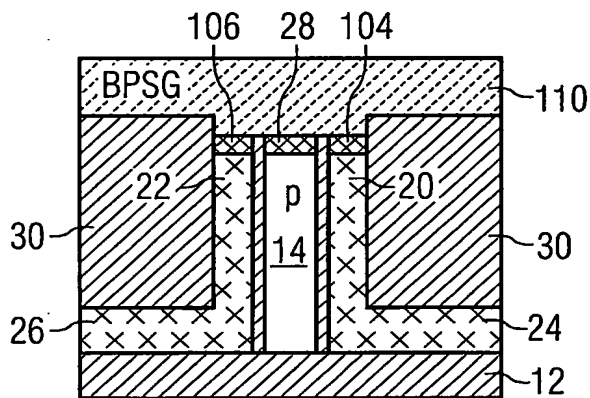


FIG 11B Schnitt IV-IV

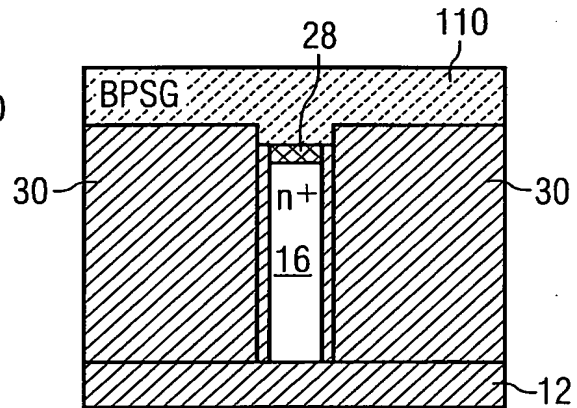


FIG 12A Schnitt III-III

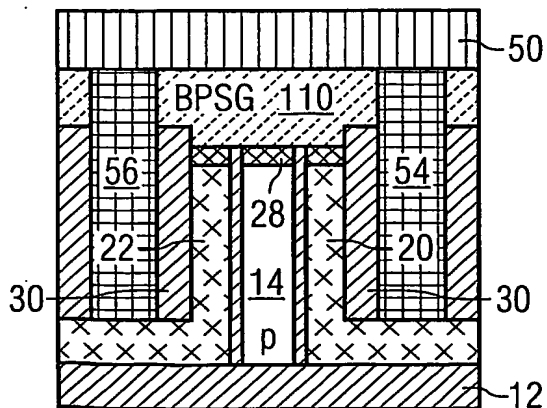


FIG 12B Schnitt IV-IV

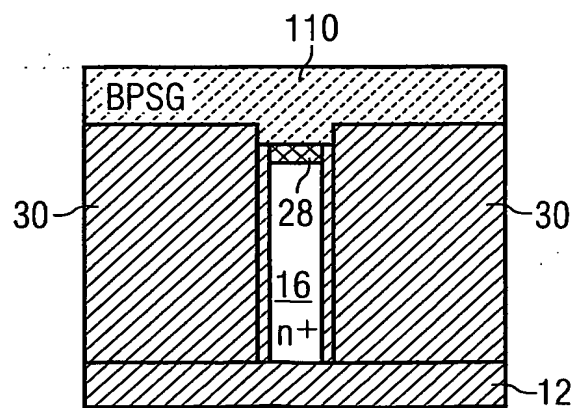


FIG 13 Schnitt Ia

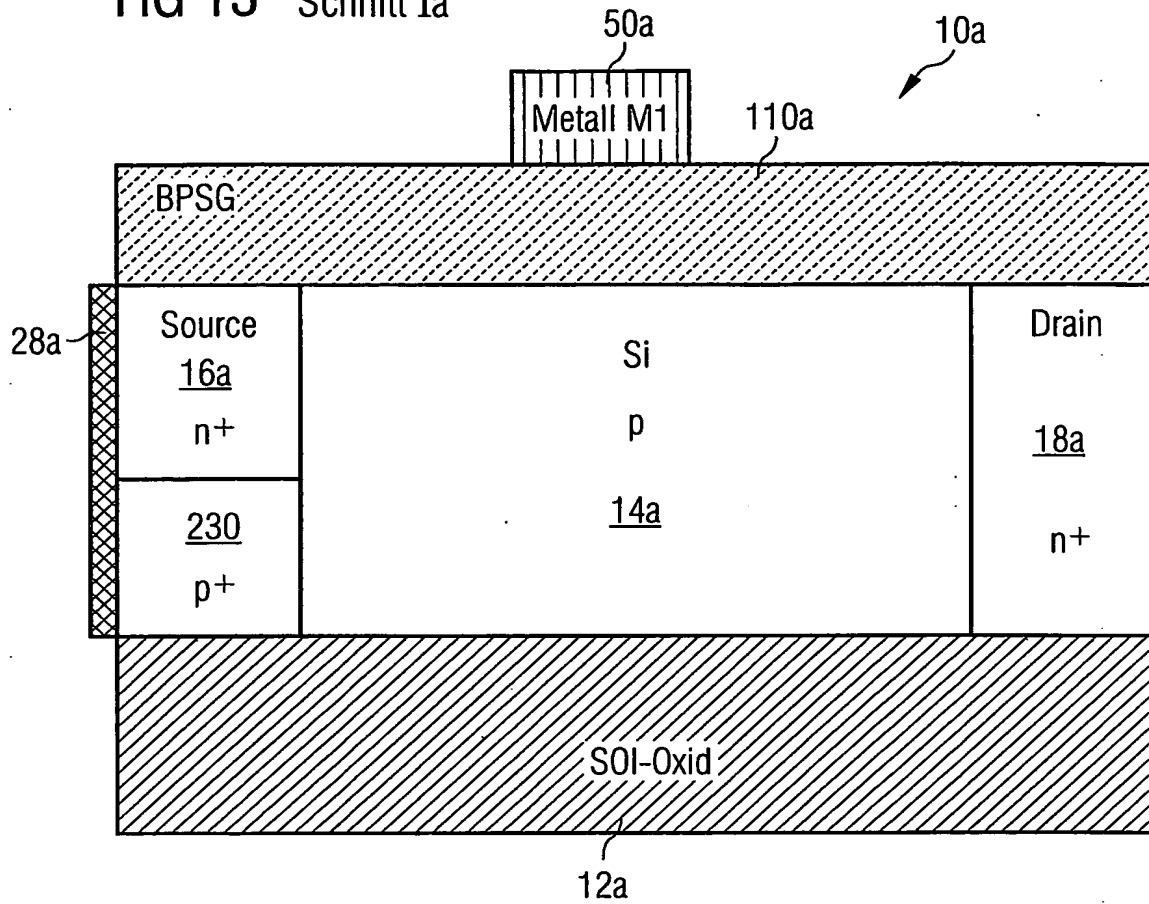


FIG 14

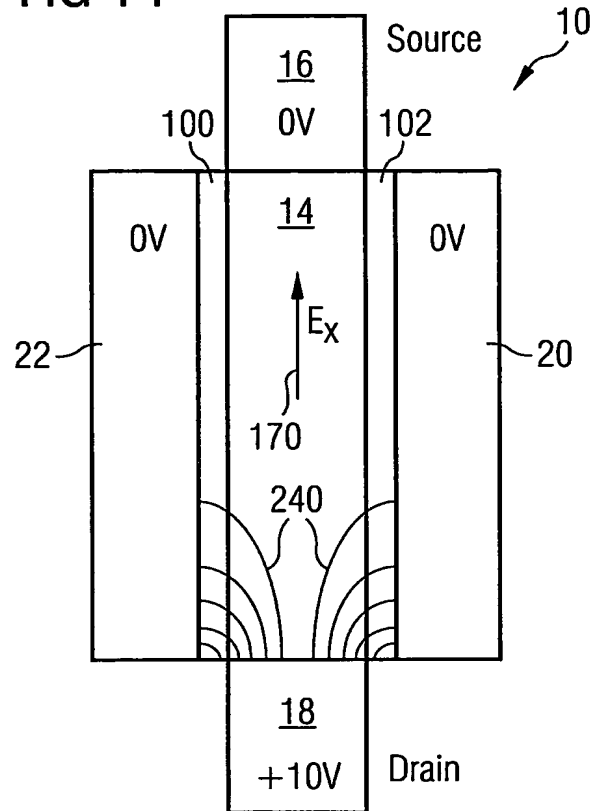


FIG 15 Schnitt IIIa

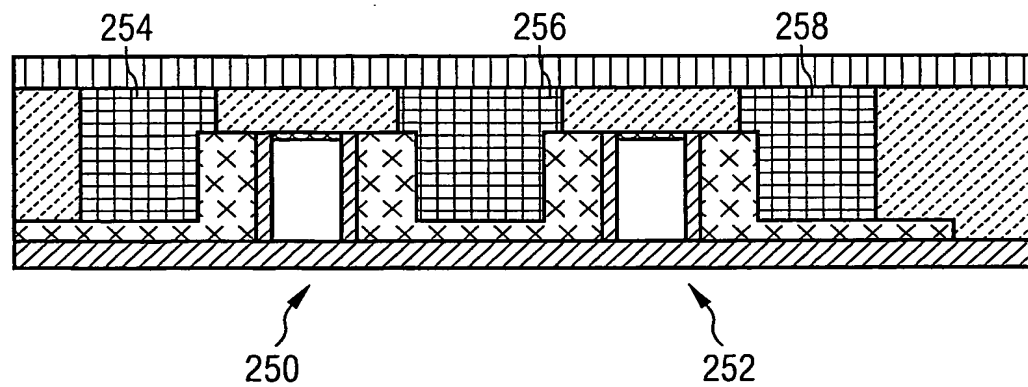


FIG 16 Schnitt IIIb

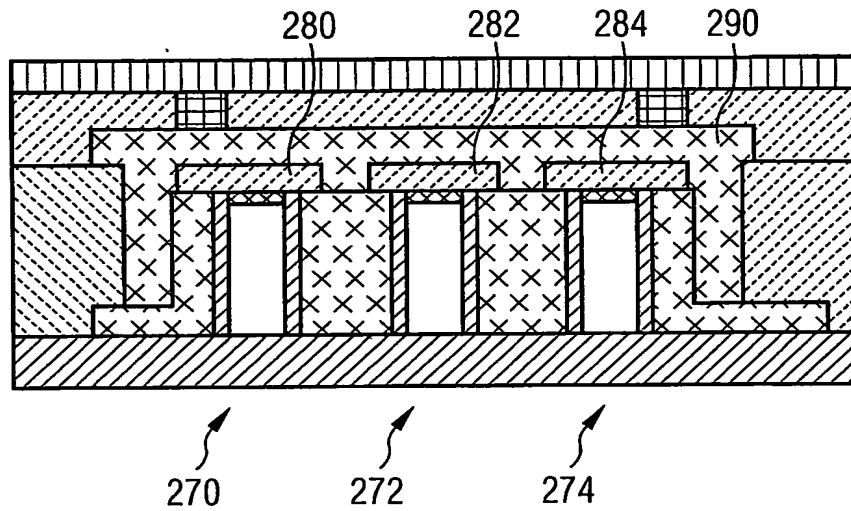
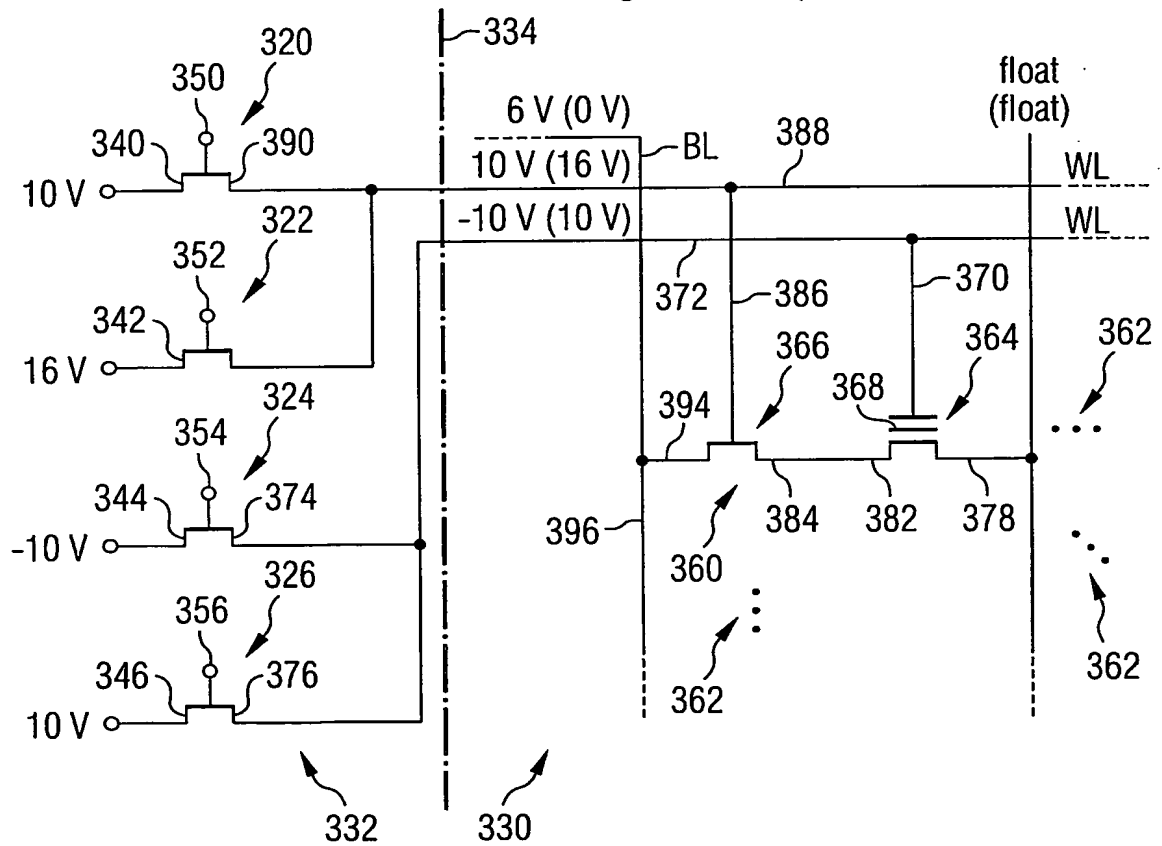


FIG 17

Programmieren (Löschen)



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03131

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, COMPENDEX, IBM-TDB, INSPEC, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/130354 A1 (ISHII KENICHI ET AL) 19 September 2002 (2002-09-19) paragraph '0055! - paragraph '0074!; figures 2-32 ---	1-7, 9-14
X	US 4 996 574 A (SHIRASAKI MASAHIRO) 26 February 1991 (1991-02-26) abstract; figure 4 ---	1, 10
X	US 5 683 918 A (MILLER JAMES W ET AL) 4 November 1997 (1997-11-04) abstract; figure 4 --- -/--	8

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the International filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the International filing date but later than the priority date claimed

T later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

G document member of the same patent family

Date of the actual completion of the International search

15 January 2004

Date of mailing of the International search report

27/01/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Berthold, K

INTERNATIONAL SEARCH REPORT

 Internat Application No
 PCT/DE 03/03131

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>HWANG J M ET AL: "Premature breakdown in non-fully depleted SOI/MOSFETs with body-tied-to-source structure" SOI CONFERENCE, 1991. PROCEEDINGS, 1991., IEEE INTERNATIONAL VAIL VALLEY, CO, USA 1-3 OCT. 1991, NEW YORK, NY, USA, IEEE, US, 1 October 1991 (1991-10-01), pages 34-35, XP010052868 ISBN: 0-7803-0184-6 figure 4</p>	8
X	<p>DAUN F L ET AL: "Design and analysis of a novel mixed accumulation/inversion mode FD SOI MOSFET" SOI CONFERENCE, 1997. PROCEEDINGS., 1997 IEEE INTERNATIONAL FISH CAMP, CA, USA 6-9 OCT. 1997, NEW YORK, NY, USA, IEEE, US, 6 October 1997 (1997-10-06), pages 100-101, XP010256224 ISBN: 0-7803-3938-X abstract; figure 4</p>	8
X	<p>MCDALD L J ET AL: "SUPPRESSION OF LATCH IN SOI MOSFETS BY SILICIDATION OF SOURCE" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 27, no. 11, 23 May 1991 (1991-05-23), pages 1003-1005, XP000232464 ISSN: 0013-5194 abstract; figure 1</p>	8
A	<p>SLEIGHT J W ET AL: "DC AND TRANSIENT CHARACTERIZATION OF A COMPACT SCHOTTKY BODY CONTACT TECHNOLOGY FOR SOI TRANSISTORS" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 46, no. 7, July 1999 (1999-07), pages 1451-1456, XP000928441 ISSN: 0018-9383 page 1452; figure 4</p>	2,14
A	<p>CRISTOLOVEANU S ET AL: "Recent advances in SOI materials and device technologies for high temperature" HIGH-TEMPERATURE ELECTRONIC MATERIALS, DEVICES AND SENSORS CONFERENCE, 1998 SAN DIEGO, CA, USA 22-27 FEB. 1998, NEW YORK, NY, USA, IEEE, US, 22 February 1998 (1998-02-22), pages 86-93, XP010313523 ISBN: 0-7803-4437-5 page 89</p>	1-14

-/-

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 03/03131

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>KRISHNAN S: "Efficacy of body ties under dynamic switching conditions in partially depleted SOI CMOS technology" SOI CONFERENCE, 1997. PROCEEDINGS., 1997 IEEE INTERNATIONAL FISH CAMP, CA, USA 6-9 OCT. 1997, NEW YORK, NY, USA, IEEE, US, 6 October 1997 (1997-10-06), pages 140-141, XP010256244 ISBN: 0-7803-3938-X abstract; figure 1</p> <p>---</p>	1-14
A	<p>US 5 930 605 A (SLEIGHT JEFFREY WILLIAM ET AL) 27 July 1999 (1999-07-27) abstract; figure 10</p> <p>---</p>	1-14
A	<p>US 6 300 182 B1 (YU BIN) 9 October 2001 (2001-10-09) figure 14</p> <p>---</p>	1-14
A	<p>US 6 396 108 B1 (BUYNOSKI MATTHEW ET AL) 28 May 2002 (2002-05-28) abstract; figures 9,10</p> <p>-----</p>	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE 03/03131

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002130354	A1	19-09-2002	JP 2002270851 A	20-09-2002
			JP 2002270850 A	20-09-2002
			FR 2822293 A1	20-09-2002
			FR 2825834 A1	13-12-2002
			US 2003122186 A1	03-07-2003
US 4996574	A	26-02-1991	JP 2014578 A	18-01-1990
US 5683918	A	04-11-1997	NONE	
US 5930605	A	27-07-1999	US 5821575 A	13-10-1998
US 6300182	B1	09-10-2001	NONE	
US 6396108	B1	28-05-2002	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/03131

A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/786 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, COMPENDEX, IBM-TDB, INSPEC, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/130354 A1 (ISHII KENICHI ET AL) 19. September 2002 (2002-09-19) Absatz '0055! - Absatz '0074!; Abbildungen 2-32	1-7, 9-14
X	US 4 996 574 A (SHIRASAKI MASAHIRO) 26. Februar 1991 (1991-02-26) Zusammenfassung; Abbildung 4	1, 10
X	US 5 683 918 A (MILLER JAMES W ET AL) 4. November 1997 (1997-11-04) Zusammenfassung; Abbildung 4	8
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

g Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. Januar 2004

Absenddatum des internationalen Recherchenberichts

27/01/2004

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Berthold, K

INTERNATIONALER RECHERCHENBERICHT

Internationaler Aktenzeichen
PCT/DE 03/03131

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	HWANG J M ET AL: "Premature breakdown in non-fully depleted SOI/MOSFETs with body-tied-to-source structure" SOI CONFERENCE, 1991. PROCEEDINGS, 1991., IEEE INTERNATIONAL VAIL VALLEY, CO, USA 1-3 OCT. 1991, NEW YORK, NY, USA, IEEE, US, 1. Oktober 1991 (1991-10-01), Seiten 34-35, XP010052868 ISBN: 0-7803-0184-6 Abbildung 4	8
X	DAUN F L ET AL: "Design and analysis of a novel mixed accumulation/inversion mode FD SOI MOSFET" SOI CONFERENCE, 1997. PROCEEDINGS., 1997 IEEE INTERNATIONAL FISH CAMP, CA, USA 6-9 OCT. 1997, NEW YORK, NY, USA, IEEE, US, 6. Oktober 1997 (1997-10-06), Seiten 100-101, XP010256224 ISBN: 0-7803-3938-X Zusammenfassung; Abbildung 4	8
X	MCDALD L J ET AL: "SUPPRESSION OF LATCH IN SOI MOSFETS BY SILICIDATION OF SOURCE" ELECTRONICS LETTERS, IEE STEVENAGE, GB, Bd. 27, Nr. 11, 23. Mai 1991 (1991-05-23), Seiten 1003-1005, XP000232464 ISSN: 0013-5194 Zusammenfassung; Abbildung 1	8
A	SLEIGHT J W ET AL: "DC AND TRANSIENT CHARACTERIZATION OF A COMPACT SCHOTTKY BODY CONTACT TECHNOLOGY FOR SOI TRANSISTORS" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, Bd. 46, Nr. 7, Juli 1999 (1999-07), Seiten 1451-1456, XP000928441 ISSN: 0018-9383 Seite 1452; Abbildung 4	2,14
A	CRISTOLOVEANU S ET AL: "Recent advances in SOI materials and device technologies for high temperature" HIGH-TEMPERATURE ELECTRONIC MATERIALS, DEVICES AND SENSORS CONFERENCE, 1998 SAN DIEGO, CA, USA 22-27 FEB. 1998, NEW YORK, NY, USA, IEEE, US, 22. Februar 1998 (1998-02-22), Seiten 86-93, XP010313523 ISBN: 0-7803-4437-5 Seite 89	1-14
	--- -/-	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/03131

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>KRISHNAN S: "Efficacy of body ties under dynamic switching conditions in partially depleted SOI CMOS technology"</p> <p>SOI CONFERENCE, 1997. PROCEEDINGS., 1997</p> <p>IEEE INTERNATIONAL FISH CAMP, CA, USA 6-9</p> <p>OCT. 1997, NEW YORK, NY, USA, IEEE, US,</p> <p>6. Oktober 1997 (1997-10-06), Seiten 140-141, XP010256244</p> <p>ISBN: 0-7803-3938-X</p> <p>Zusammenfassung; Abbildung 1</p> <p>---</p>	1-14
A	<p>US 5 930 605 A (SLEIGHT JEFFREY WILLIAM ET AL) 27. Juli 1999 (1999-07-27)</p> <p>Zusammenfassung; Abbildung 10</p> <p>---</p>	1-14
A	<p>US 6 300 182 B1 (YU BIN)</p> <p>9. Oktober 2001 (2001-10-09)</p> <p>Abbildung 14</p> <p>---</p>	1-14
A	<p>US 6 396 108 B1 (BUYNOSKI MATTHEW ET AL)</p> <p>28. Mai 2002 (2002-05-28)</p> <p>Zusammenfassung; Abbildungen 9,10</p> <p>-----</p>	1-14

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 03/03131

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2002130354	A1	19-09-2002	JP	2002270851 A	20-09-2002
			JP	2002270850 A	20-09-2002
			FR	2822293 A1	20-09-2002
			FR	2825834 A1	13-12-2002
			US	2003122186 A1	03-07-2003
US 4996574	A	26-02-1991	JP	2014578 A	18-01-1990
US 5683918	A	04-11-1997	KEINE		
US 5930605	A	27-07-1999	US	5821575 A	13-10-1998
US 6300182	B1	09-10-2001	KEINE		
US 6396108	B1	28-05-2002	KEINE		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.